

Điện tử cơ bản

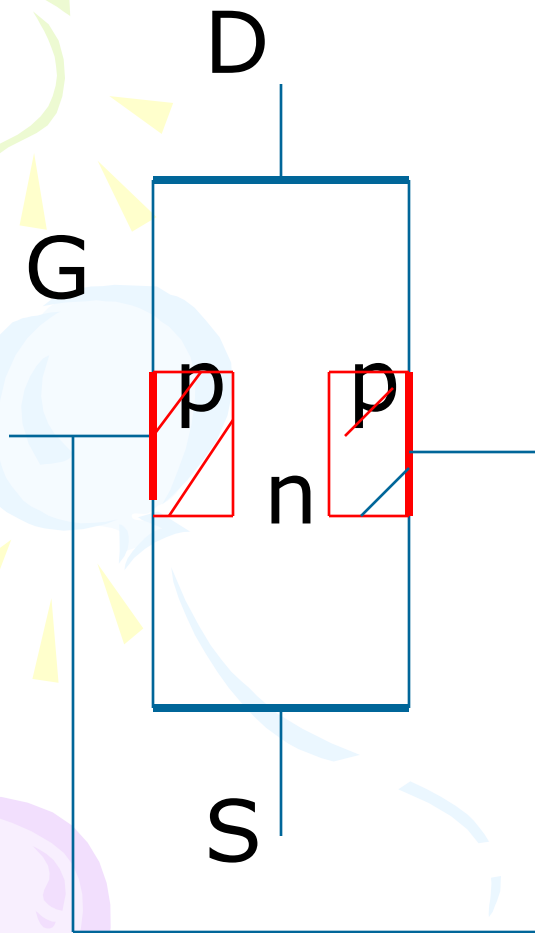
Ch 6. Transistor trường ứng (FET)

I. Đại cương và phân loại

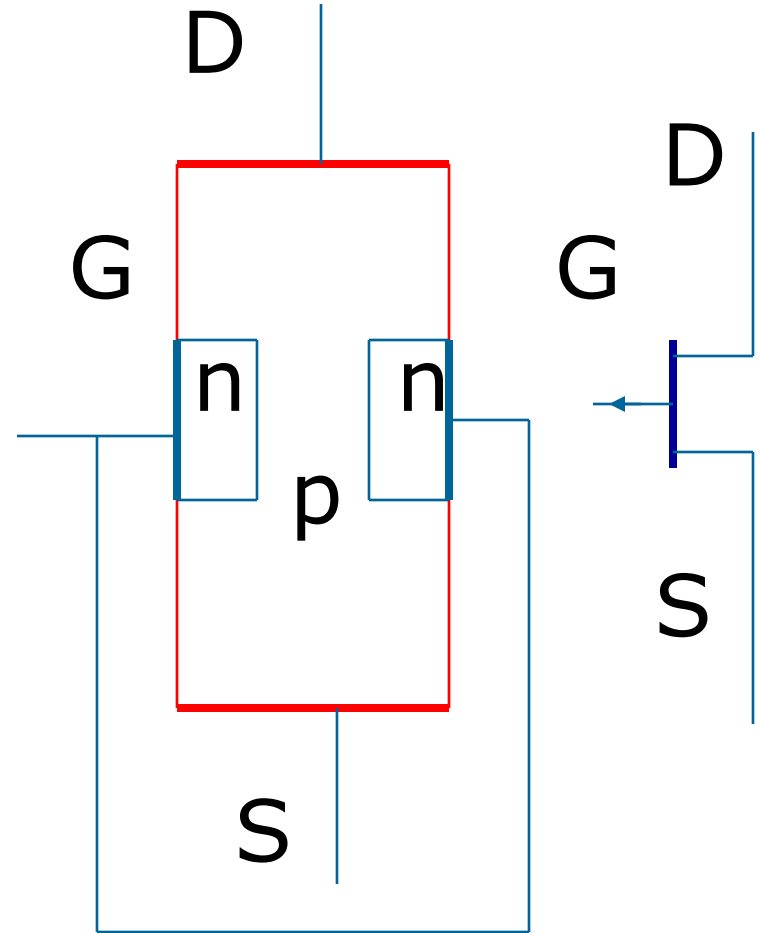
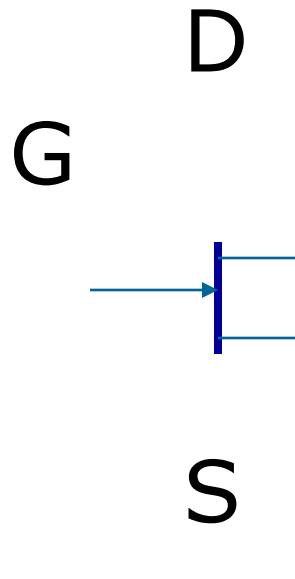
- FET (Field Effect Transistor)-Transistor hiệu ứng trường – Transistor trường.
- Có 2 loại:
 - Transistor trường nối (JFET-Junction FET.
 - Transistor có cổng cách điện (IGFET- Insulated Gate FET hay MOSFET – Metal Oxide Semiconductor : Kim loại- oxid-bán dẫn)

I. JFET

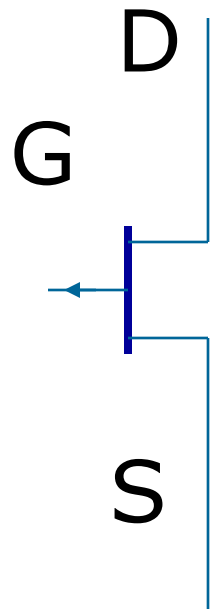
1. Cấu tạo



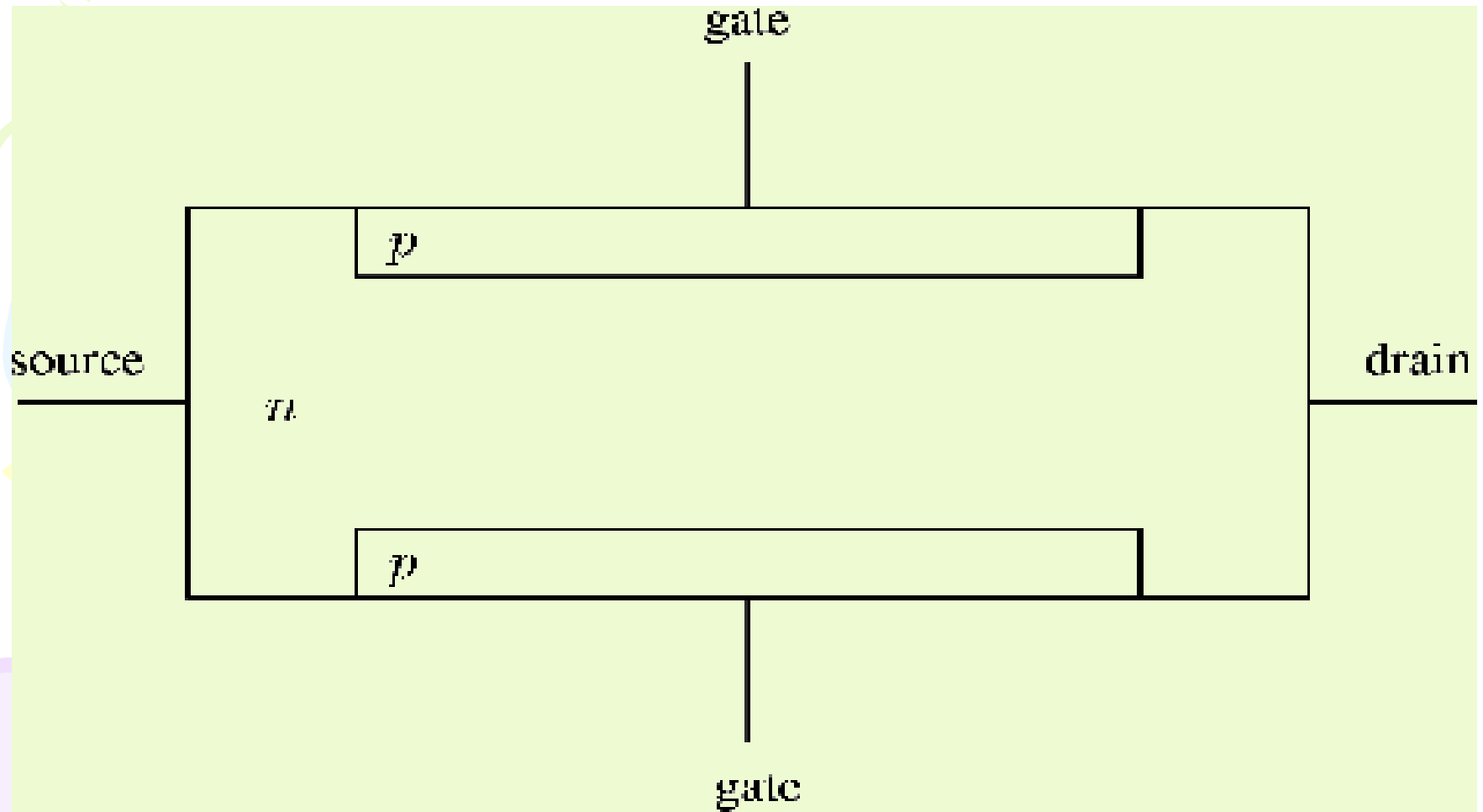
kênh n



kênh p



- JFET



• JFET kênh n

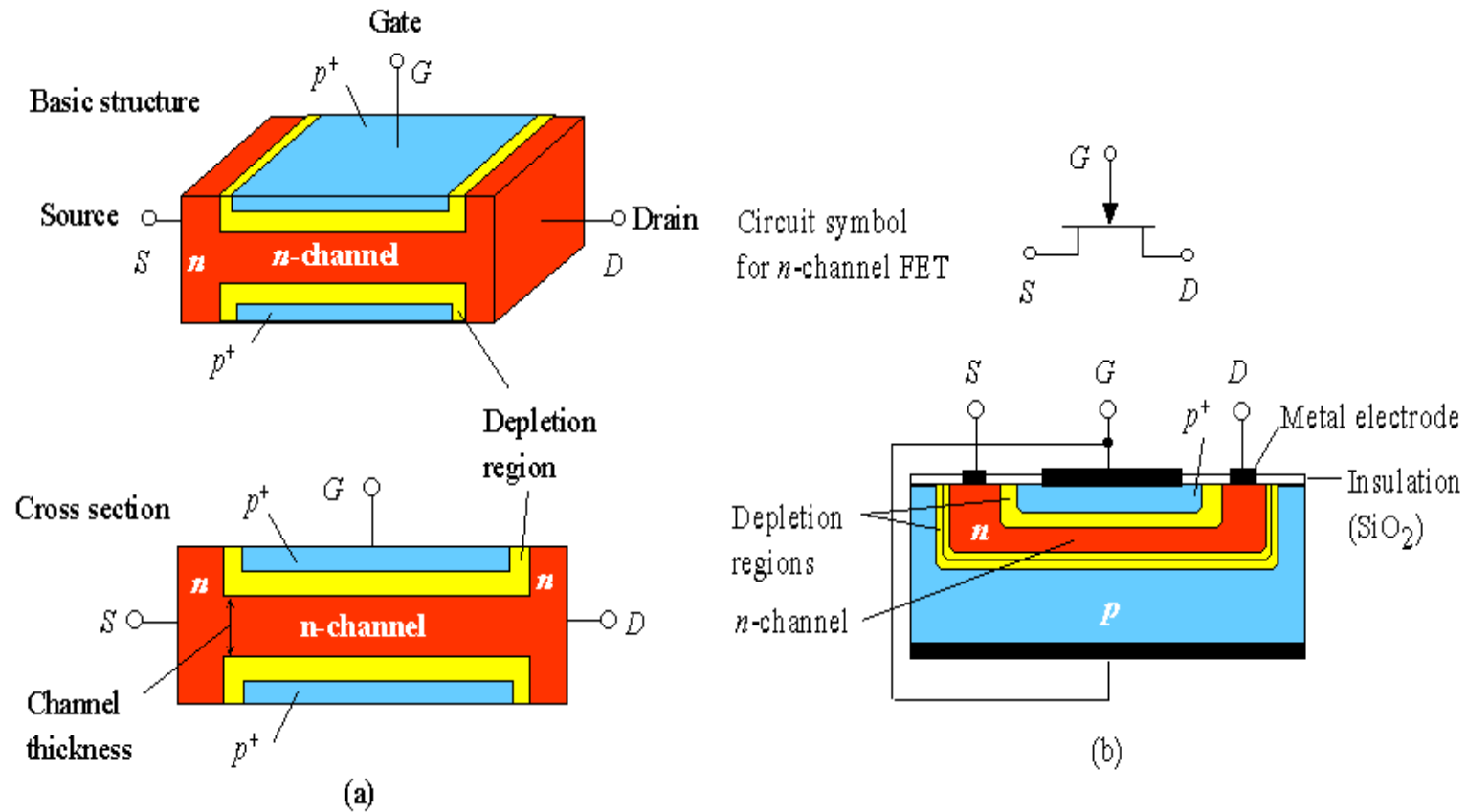


Fig. 6.27: (a) The basic structure of the junction field effect transistor (JFET) with an *n*-channel. The two *p*⁺ regions are electrically connected and form the gate. (b) A simplified sketch of the cross section of a more practical *n*-channel JFET.

2 Cách hoạt động(xem hình).

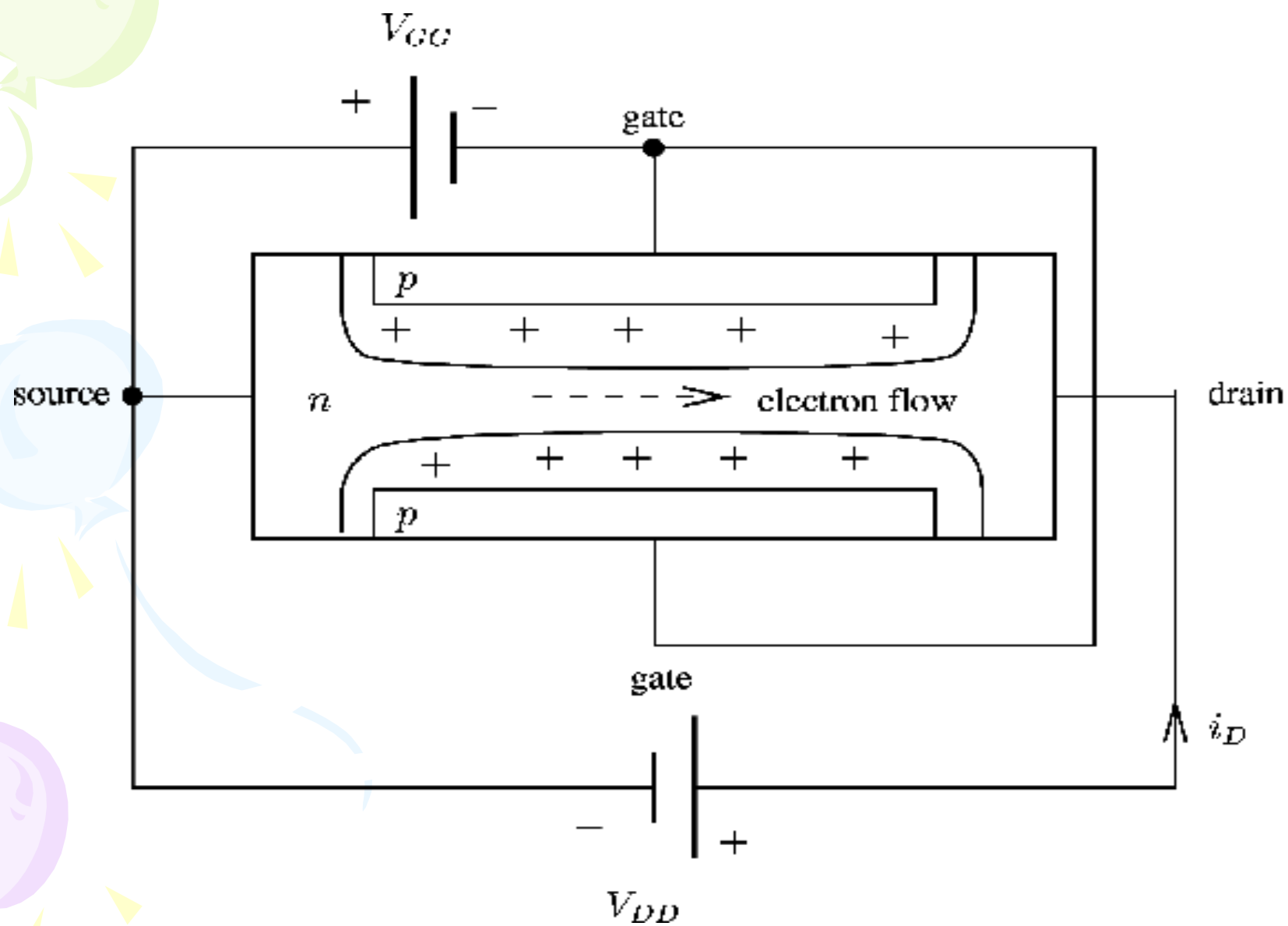
- $V_{GS} > 0$ nối pn phân cực thuận và do đó sẽ có dòng điện từ cực nguồn S đến cực thoát D lớn nhưng không điều khiển được

a. $V_{GS} = 0 \text{ V}$ và $V_{DS} > 0$:

Nối pn phân cực nghịch tạo thành vùng hiếm 2 bên mỗi nối , khi V_{DS} càng lớn vùng hiếm càng rộng làm thắt chặt đường đi của điện tử tự do bị hút về cực thoát.

Kết quả : khi V_{DS} nhỏ dòng thoát I_D tăng nhanh, khi V_{DS} càng lớn dòng thoát tăng chậm, khi V_{DS} đủ lớn vùng hiếm làm nghẽn kênh \rightarrow , dòng thoát **bão hòa I_{DSS}** (do dòng I_D có trị lớn nhất và không thay đổi), và **điện thế nghẽn V_{po}** (do $V_{GS} = 0 \text{ V}$)

Phân cực



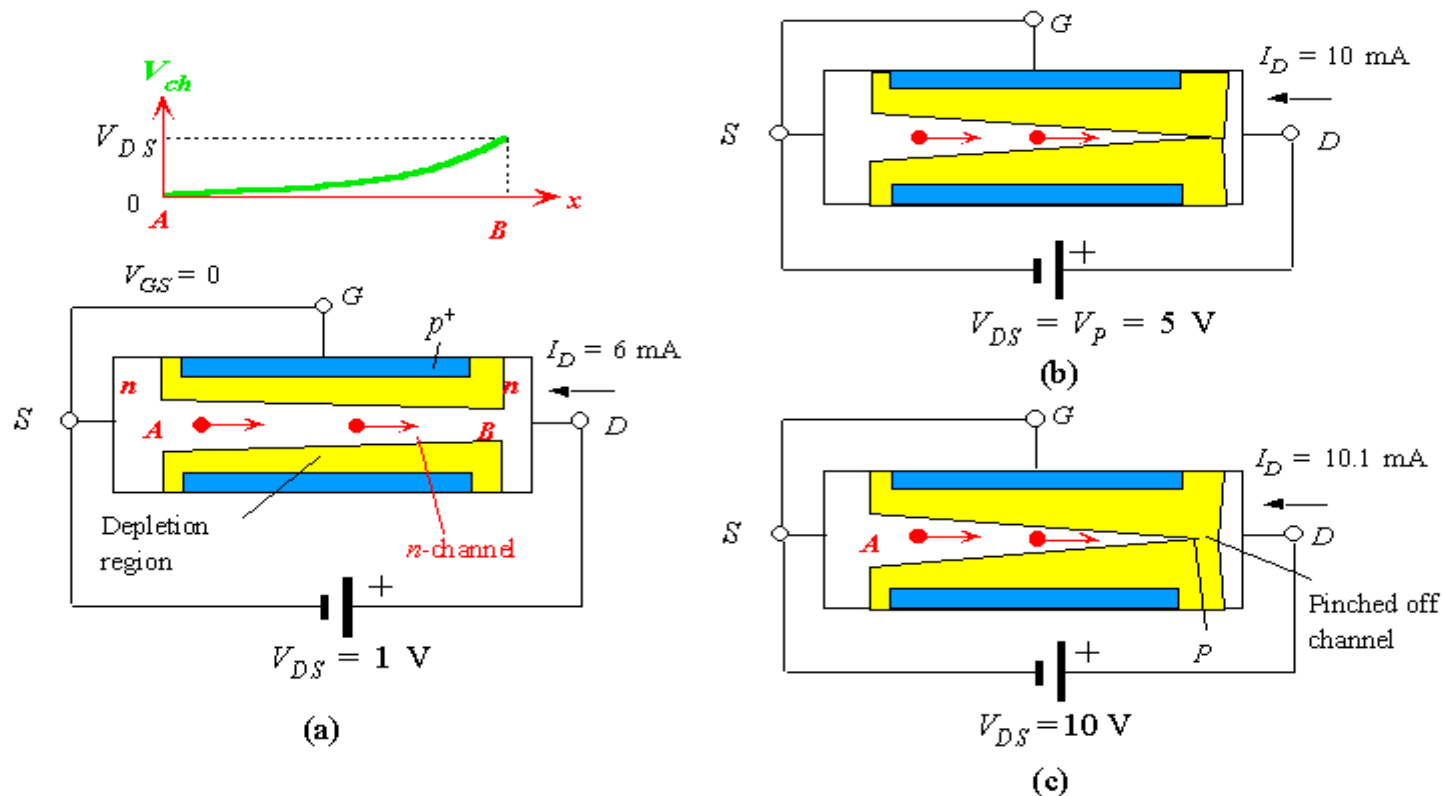
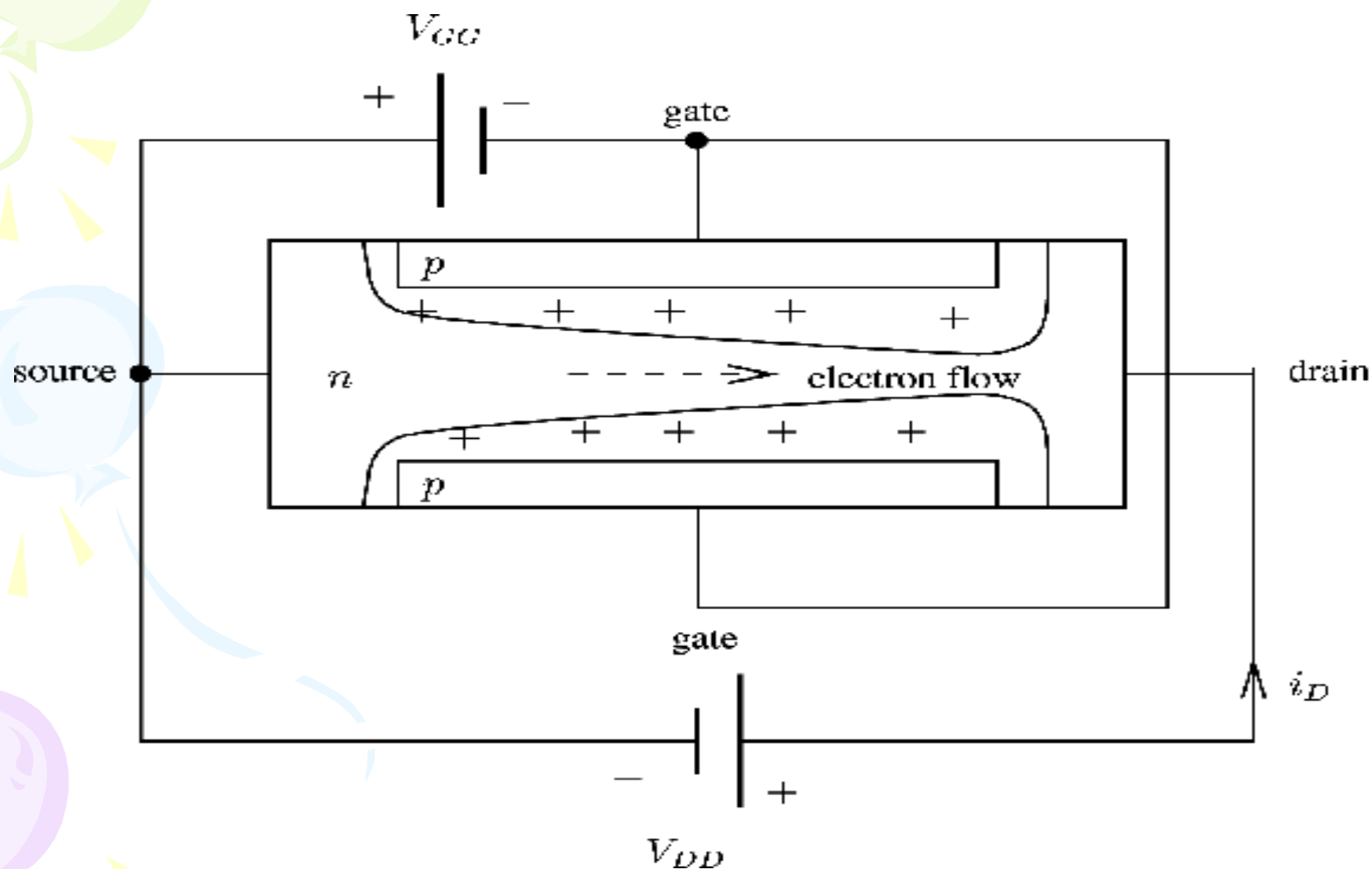


Fig. 6.28: (a) The gate and source are shorted ($V_{GS} = 0$) and V_{DS} is small, (b), V_{DS} has increased to a value that allows the two depletion layers to just touch, when $V_{DS} = V_P$ (5 V) when the p^+n junction voltage at the drain end, $V_{GD} = -V_{DS} = -V_P = -5$ V. (c) V_{DS} is large ($V_{DS} > V_P$) so that a short length of the channel is pinched off.

- Khi V_{DS} lớn



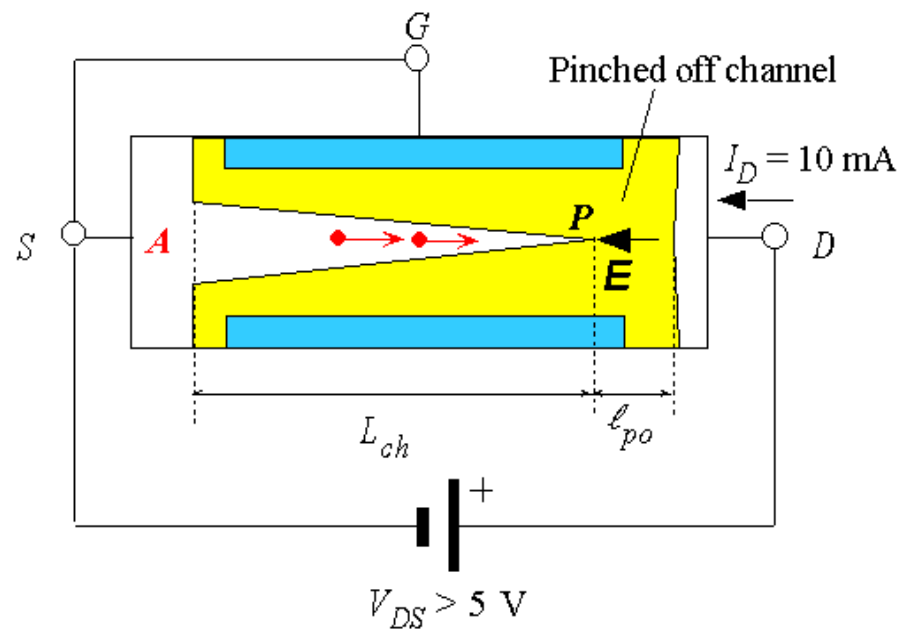
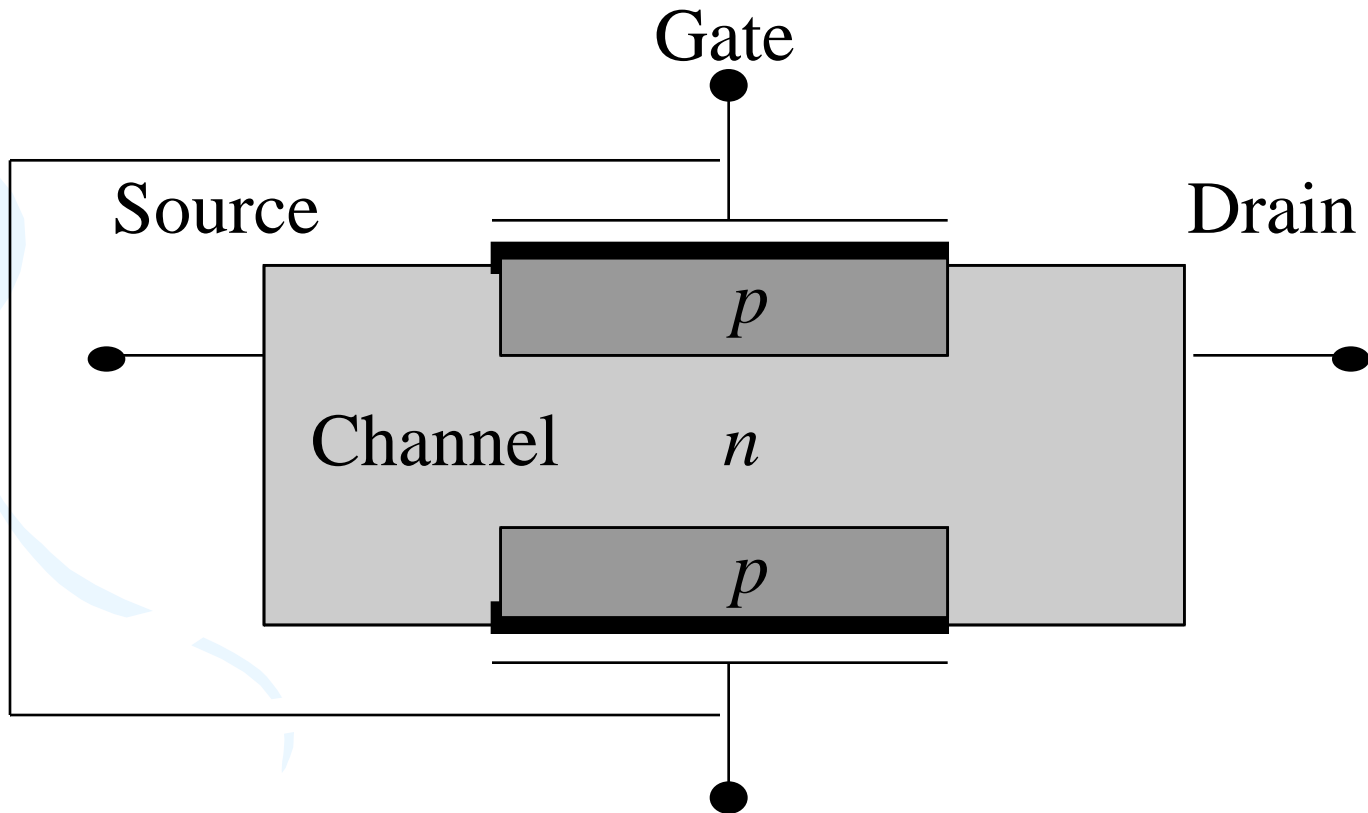
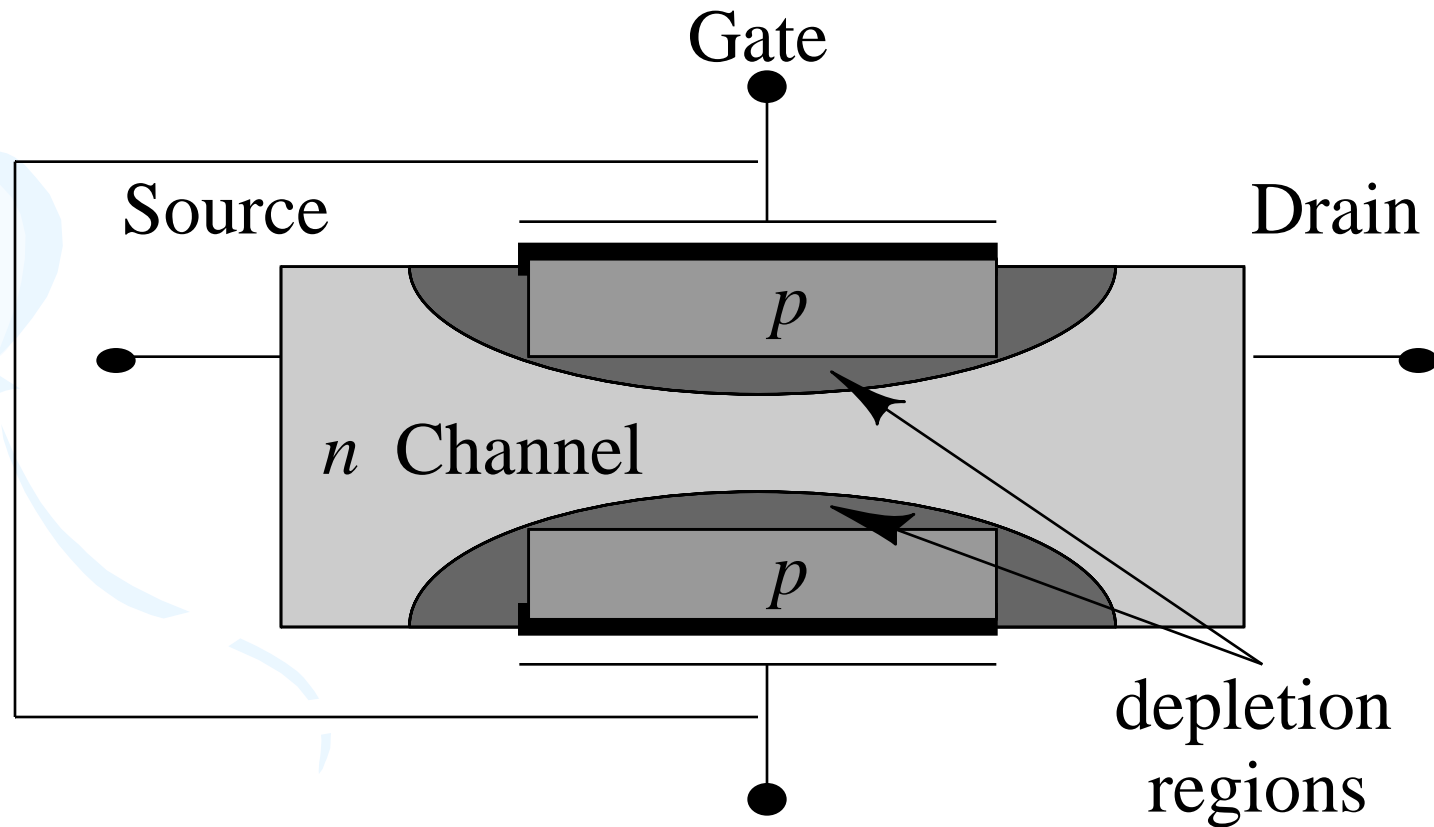


Fig. 6.30: The pinched-off channel and conduction for $V_{DS} > V_P$ ($=5\text{ V}$).

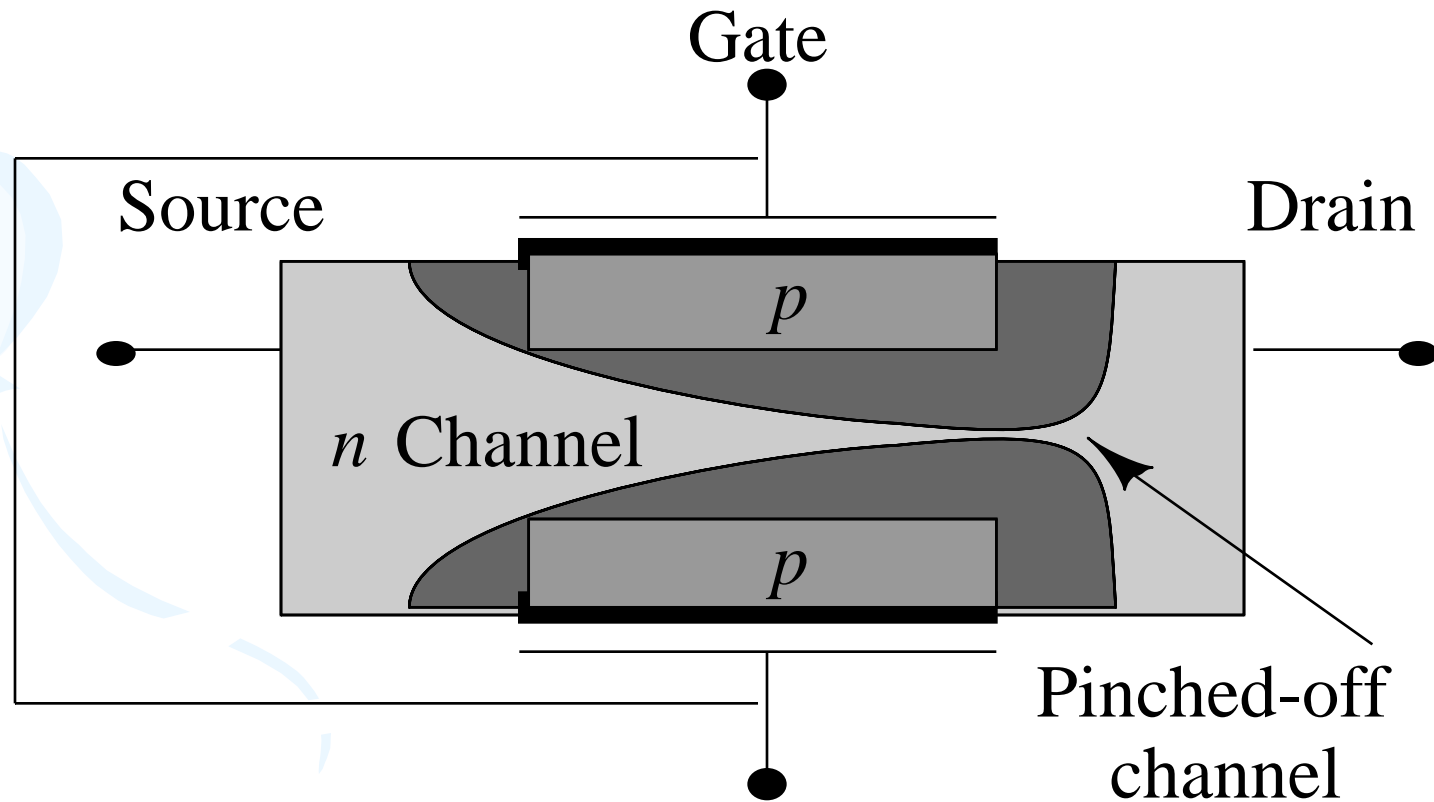
source voltage is lower than $-V_p$,
no current flows. This is the
cutoff region



depletion regions form around the gate sections. As the gate voltage is increased, the depletion regions widen, and the channel width (i.e., the resistance) is controlled by the gate-source voltage. This is the **ohmic region** of the JFET



regions further widen near the drain end, eventually pinching off the channel. This corresponds to the **saturation region**



b. Khi cho $V_{DS} = h.s$ và $V_{GS} < 0$

- Khi $V_{GS} < 0$ ($V_{GS1} = -1V$): Nổi pn phân cực nghịch, vùng hiếm lớn hơn khi $V_{GS} = 0V \rightarrow$ dòng thoát I_D có trị nhỏ hơn và trị số điện thế ngưỡng V_{p1} cũng nhỏ hơn V_{po} .
- Khi cho V_{GS} càng âm ($V_{GS2} = -2V$), vùng hiếm càng tăng, kênh càng hẹp hơn, dòng I_D càng nhỏ hơn nữa và $V_{p2} < V_{p1}$.
- Khi V_{GS} âm đủ lớn (thí dụ $V_{GS} = -5V$), vùng hiếm quá lớn làm kênh bị tắt, dòng $I_D = 0$, và điện thế phân cực cổng - nguồn là điện thế ngưỡng $V_{GSOFF} = -V_{po}$.

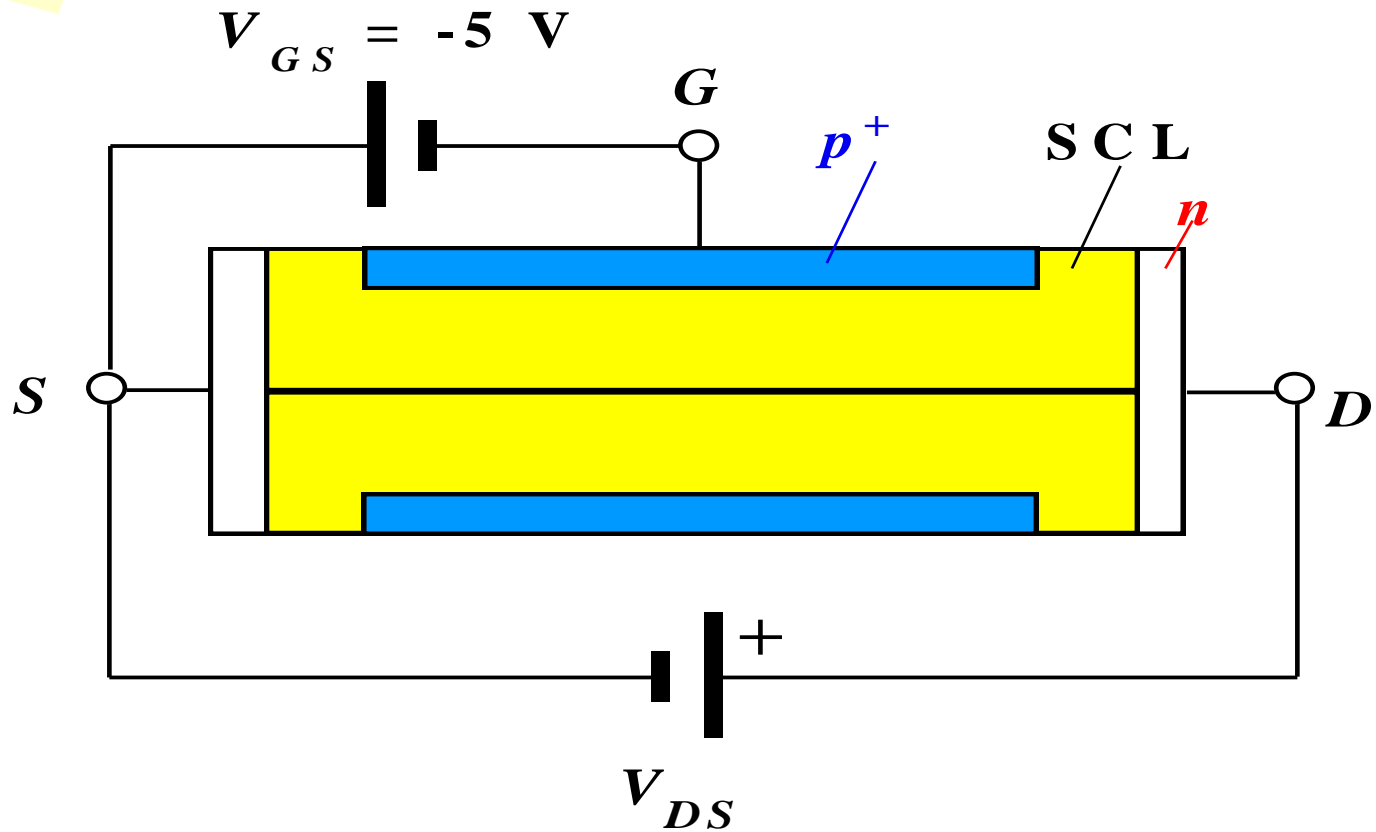


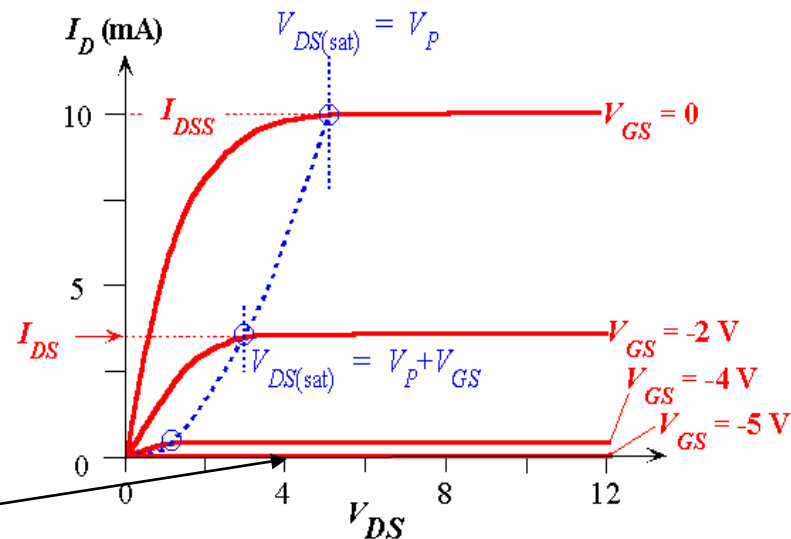
Fig. 6.32: When $V_{GS} = -5 \text{ V}$ the depletion layers close the whole channel from the start, at $V_{DS} = 0$. As V_{DS} is increased there is a very small drain current which is the small reverse leakage current due to thermal generation of carriers in the depletion layers.

II. Đặc tuyến và công thức dòng thoát I_D

1. Đặc tuyến ngõ ra $I_D = f(V_{DS})$ tại $V_{GS} = h, s$. Có 3 vùng:

Vùng điện trở

Vùng bão hoà

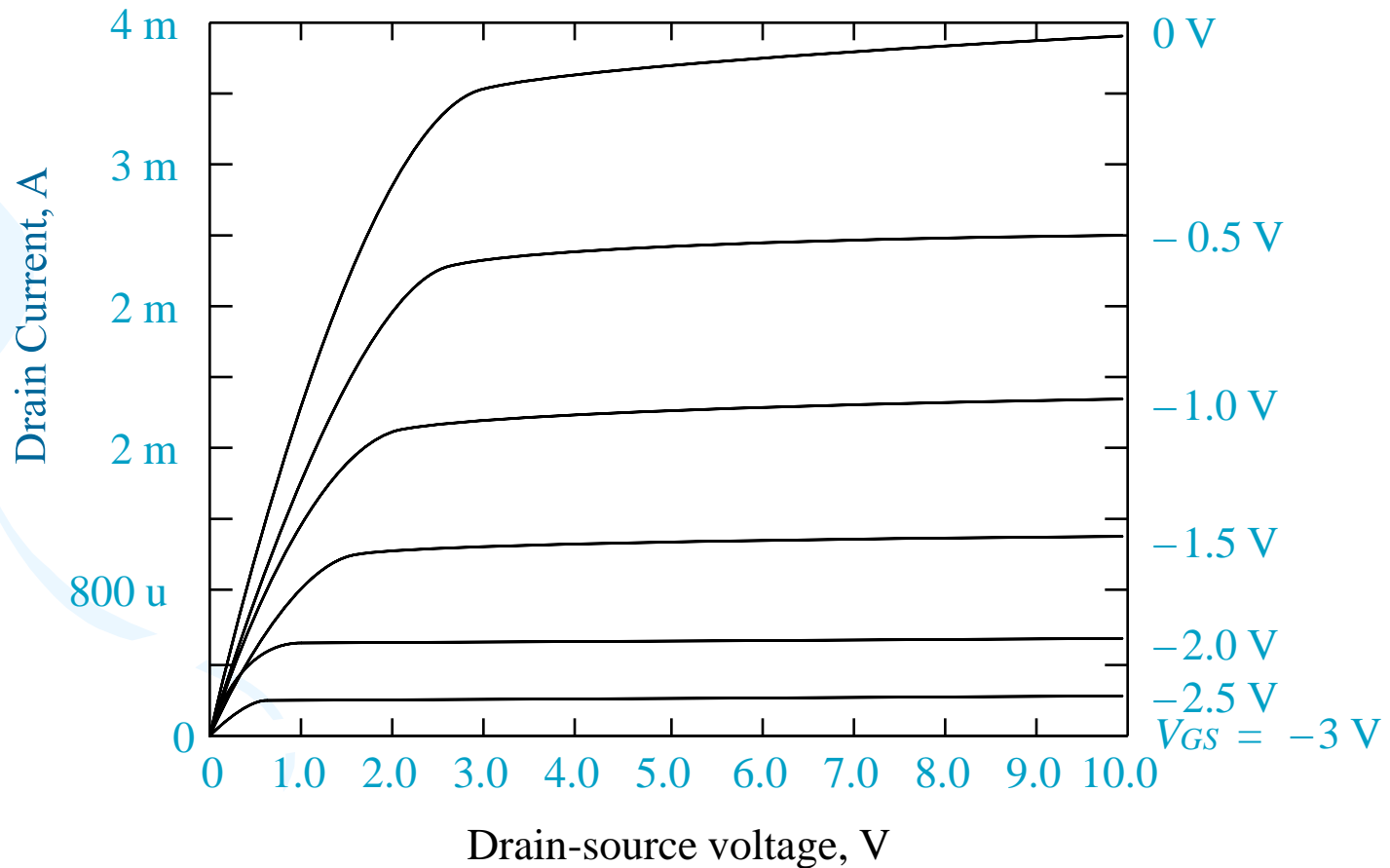


Vùng ngưỡng

Fig. 6.29: Typical I_D vs V_{DS} characteristics of a JFET for various fixed gate voltages V_{GS} .

From *Principles of Electronic Materials and Devices, Second Edition*, S.O. Kasap (© McGraw-Hill, 2002)
<http://Materials.Uask.ca>

Figure 9.41 JFET characteristic curves



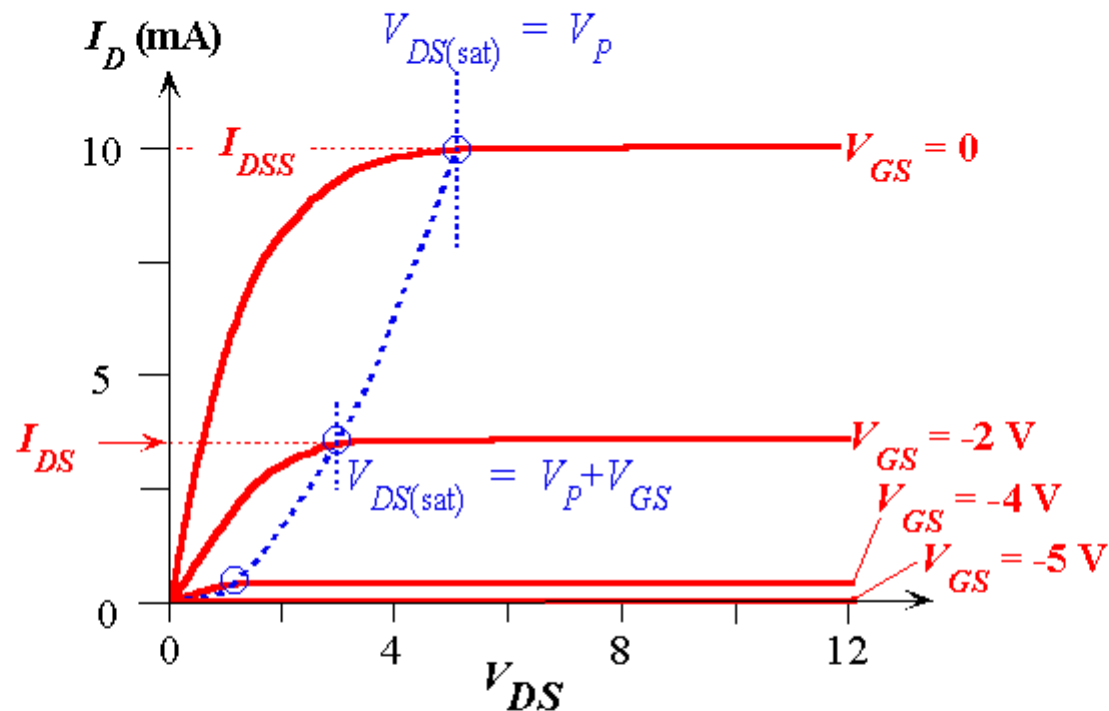


Fig. 6.29: Typical I_D vs V_{DS} characteristics of a JFET for various fixed gate voltages V_{GS} .

From *Principles of Electronic Materials and Devices, Second Edition*, S.O. Kasap (© McGraw-Hill, 2002)
<http://Materials.USask.ca>

- Theo chùm(họ) đặc tuyến ra , quỹ tích các điện thế ngẽn là đường cong thoả hàm số theo điện thế phân cực và V_{po} :

$$V_p = V_{DS\ bh} = V_{GS} + V_{po} \text{ (Với } V_{po} > 0 \text{) } (1)$$

Thí dụ :Khi :

$$V_{GS} = 0V \rightarrow V_{DS0bh} = V_{P0} = 0 + 5V = 5V$$

$$V_{GS} = -1V \rightarrow V_{DS1bh} = V_{P1} = -1 + 5V = 4V$$

$$V_{GS} = -2V \rightarrow V_{DSbh} = V_{P2} = -2 + 5V = 3V$$

.....

$$V_{GS} = -5V \rightarrow V_{DSbh} = V_{P5} = -5V + 5V = 0 \text{ (} V_{p5} = V_{GSOFF} \text{)}$$

- Do tính chất đối xứng nên V_{PO} và V_{GSOFF} bằng nhau nhưng khác dấu. Mặt khác theo định luật kirchooff về thế ta có: $V_{DS} = V_{DG} + V_{GS}$ và khi $V_{GS} = 0V$ ta điện thế ngẽn $V_{DS0} = V_{DGo} = V_{po}$ (để dễ liên tưởng đến điện thế ngẽn (pinch off), nên khi $V_{GS} < 0$ gọi điện thế ngẽn là $V_{DSbh} = V_p$ và thay vào trên ta được: $V_{DSbh} = V_{GS} + V_{po}$ như trên

2. Đặc tuyến truyền $I_D = f(V_{GS})$

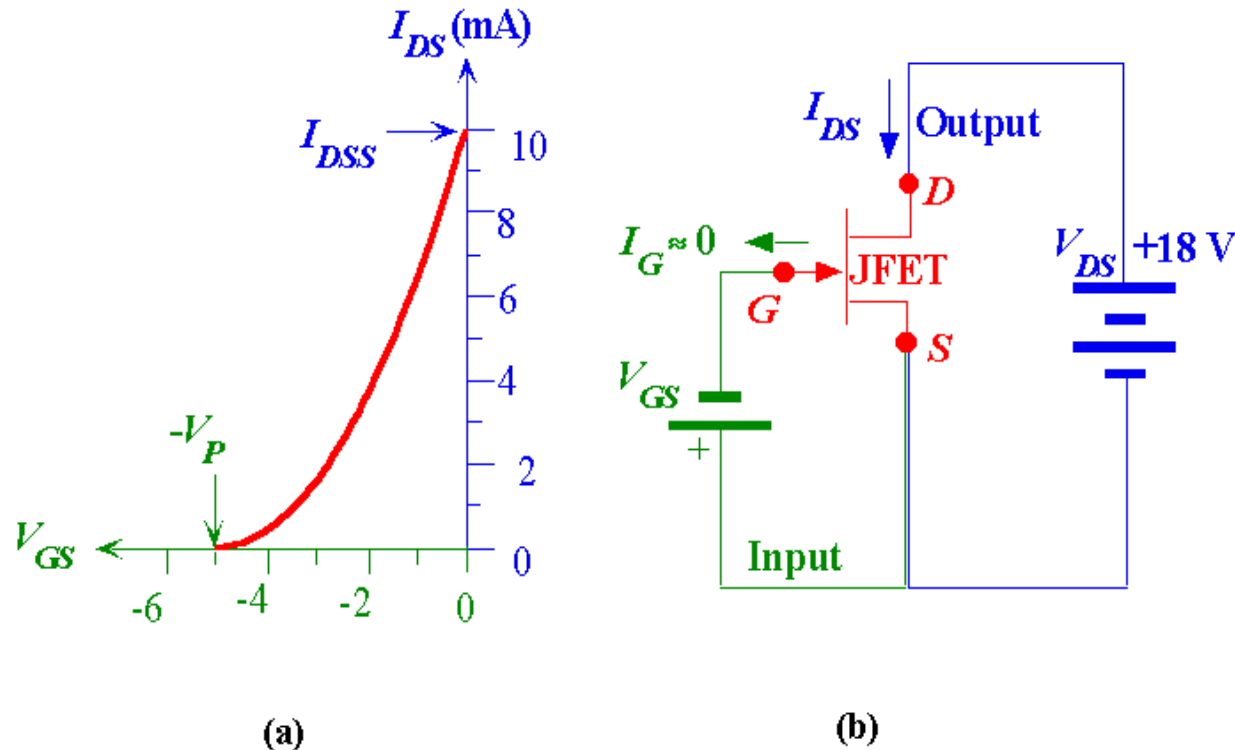


Fig. 6.33: (a) Typical I_{DS} vs V_{GS} characteristics of a JFET (b). The DC circuit in which V_{GS} in the gate-source circuit (input) controls the drain current I_{DS} in the drain-source (output) circuit in which V_{DS} is kept constant and large ($V_{DS} > V_P$).

- Lưu ý rằng đặc tuyến truyền còn được suy ra từ đặc tuyến ra cho sẵn như sau:

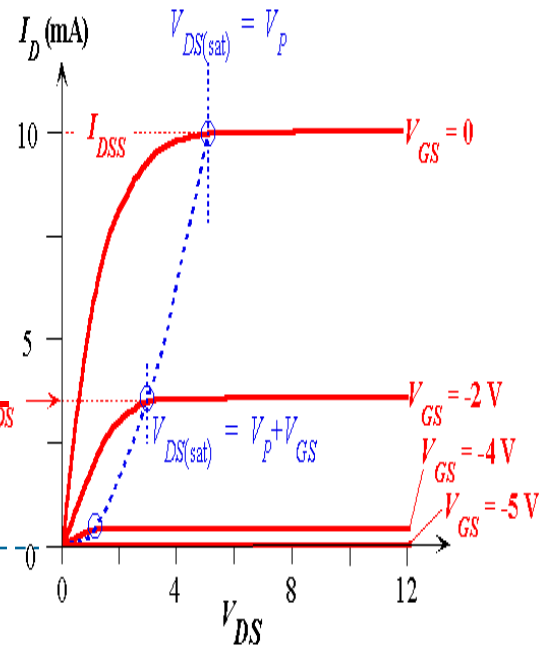
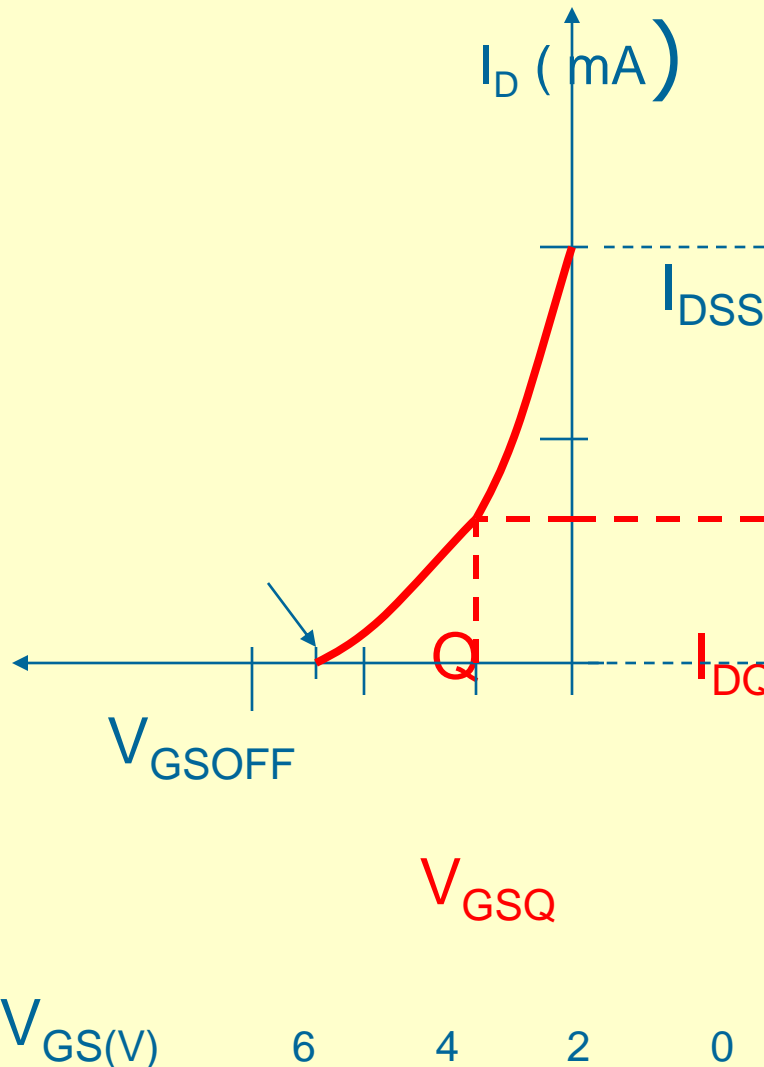
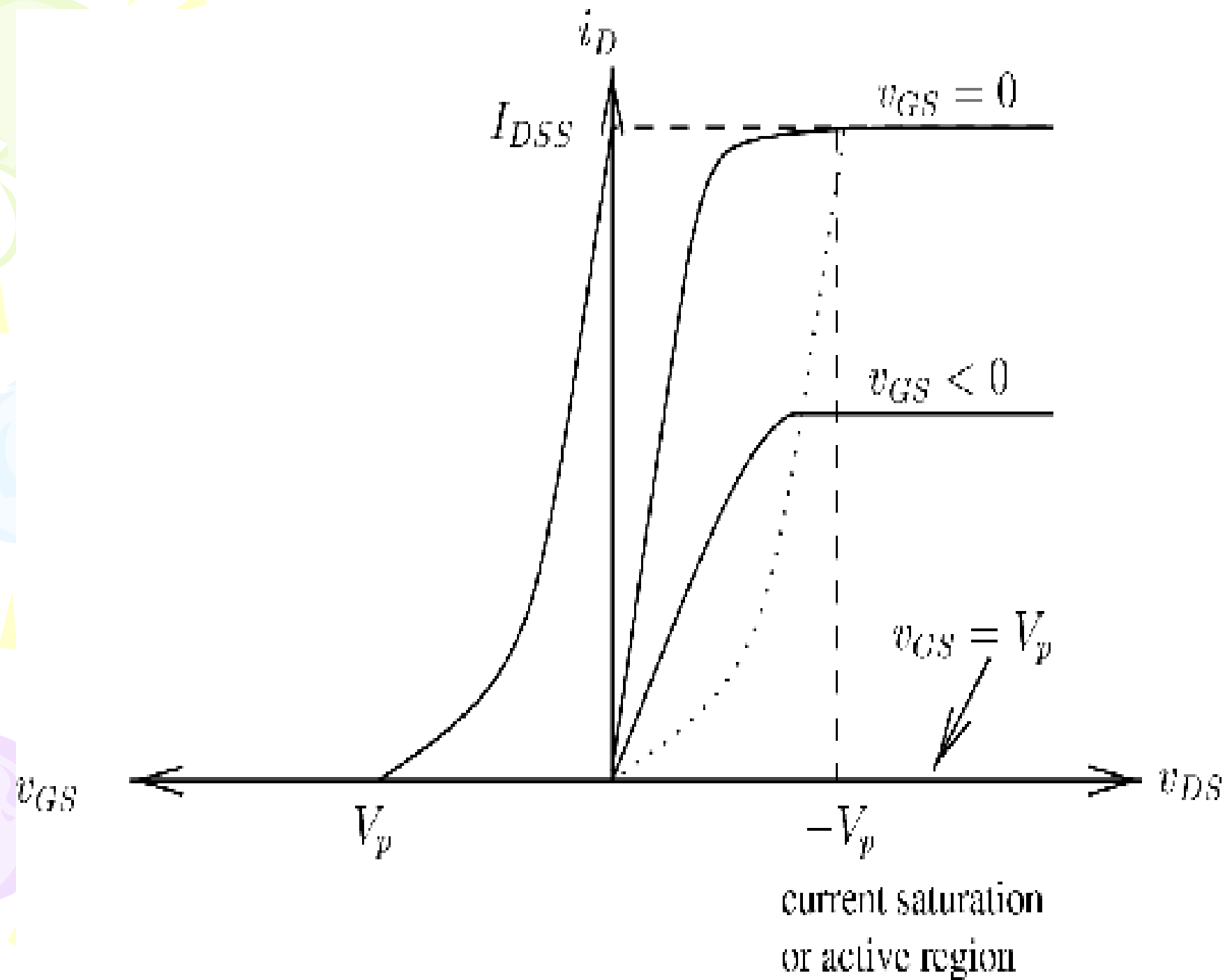
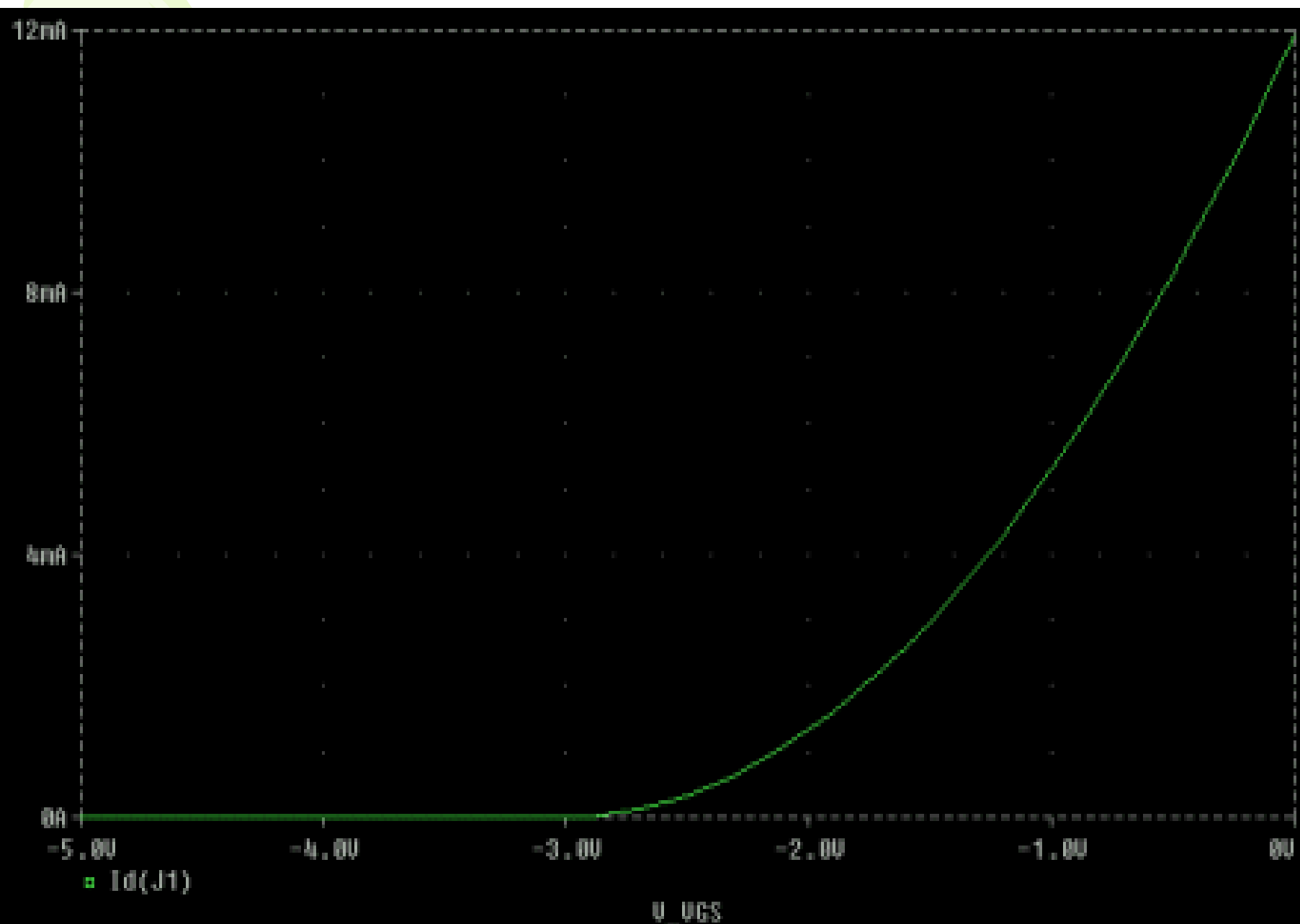
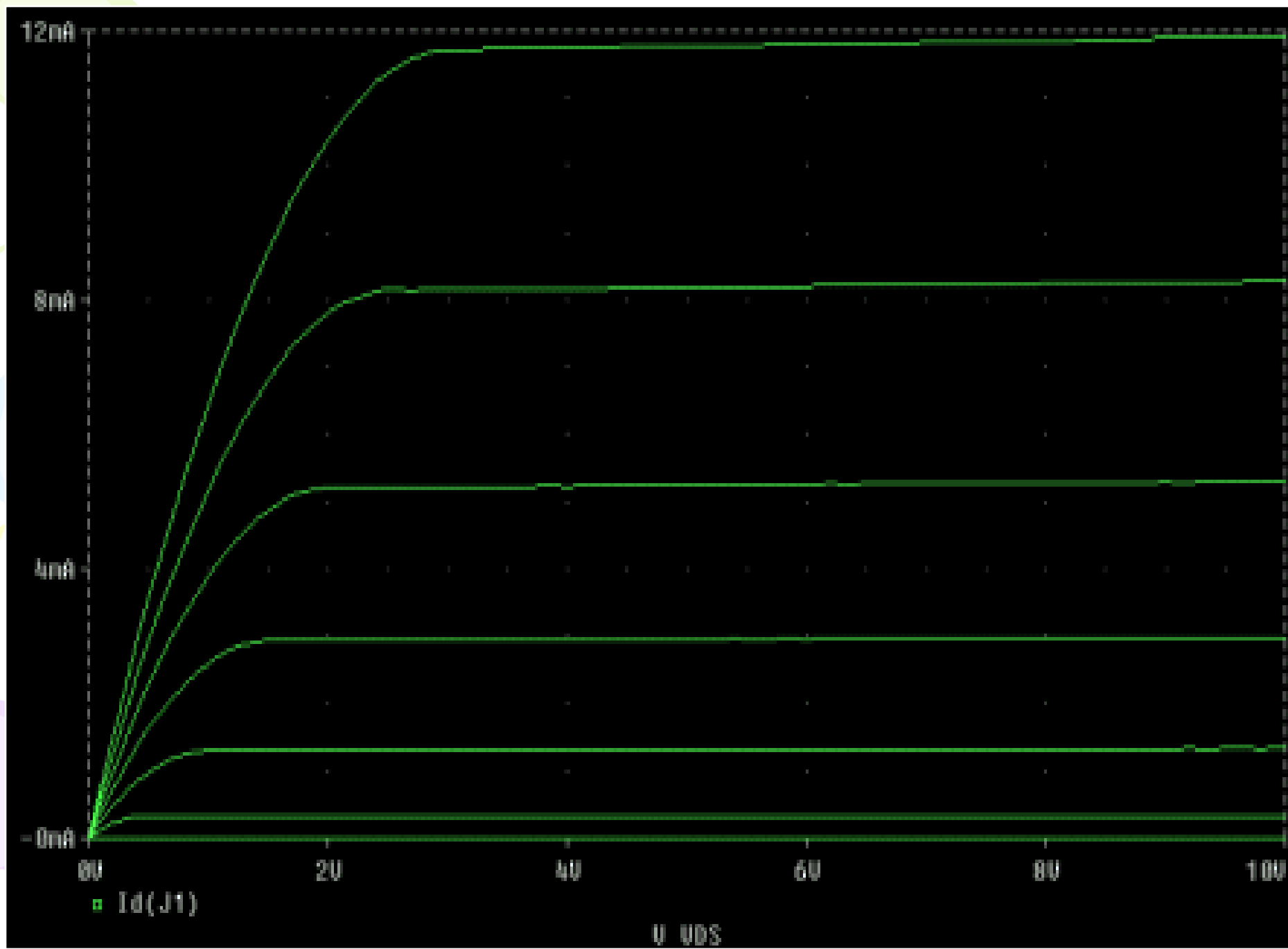


Fig. 6.29: Typical I_D vs V_{DS} characteristics of a JFET for various fixed gate voltages V_{GS} .

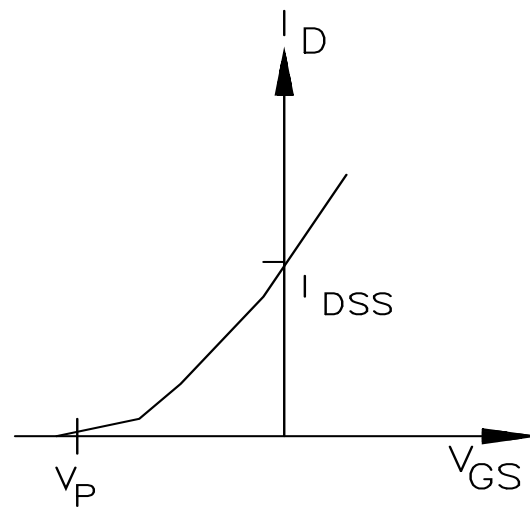
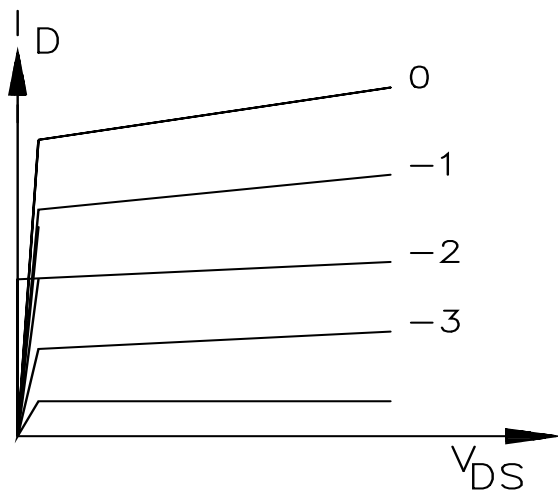
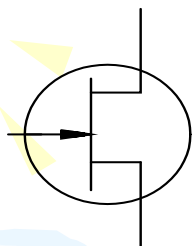
From Principles of Electronic Materials and Devices, Second Edition, S.O. Kasap (© McGraw-Hill, 2002)
<http://Materials.Utsk.ca>





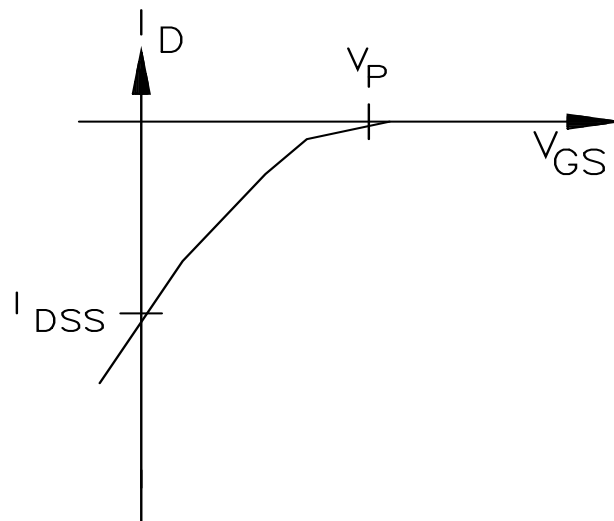
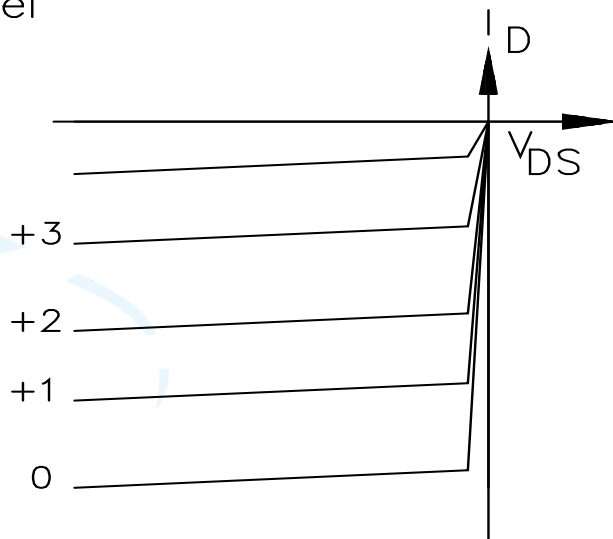
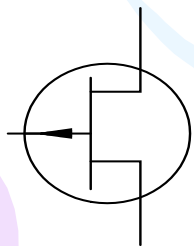


n-channel



V_{DS} +
 V_{GS} -
 I_D +
 V_{po} -
 I_{DSS} +

p-channel



V_{DS} -
 V_{GS} +
 I_D -
 V_{po} +
 I_{DSS} -

3. Công thức dòng điện thoát I_D .

Trong vùng bão hoà, dòng điện thoát cho bởi phương trình Shockley:

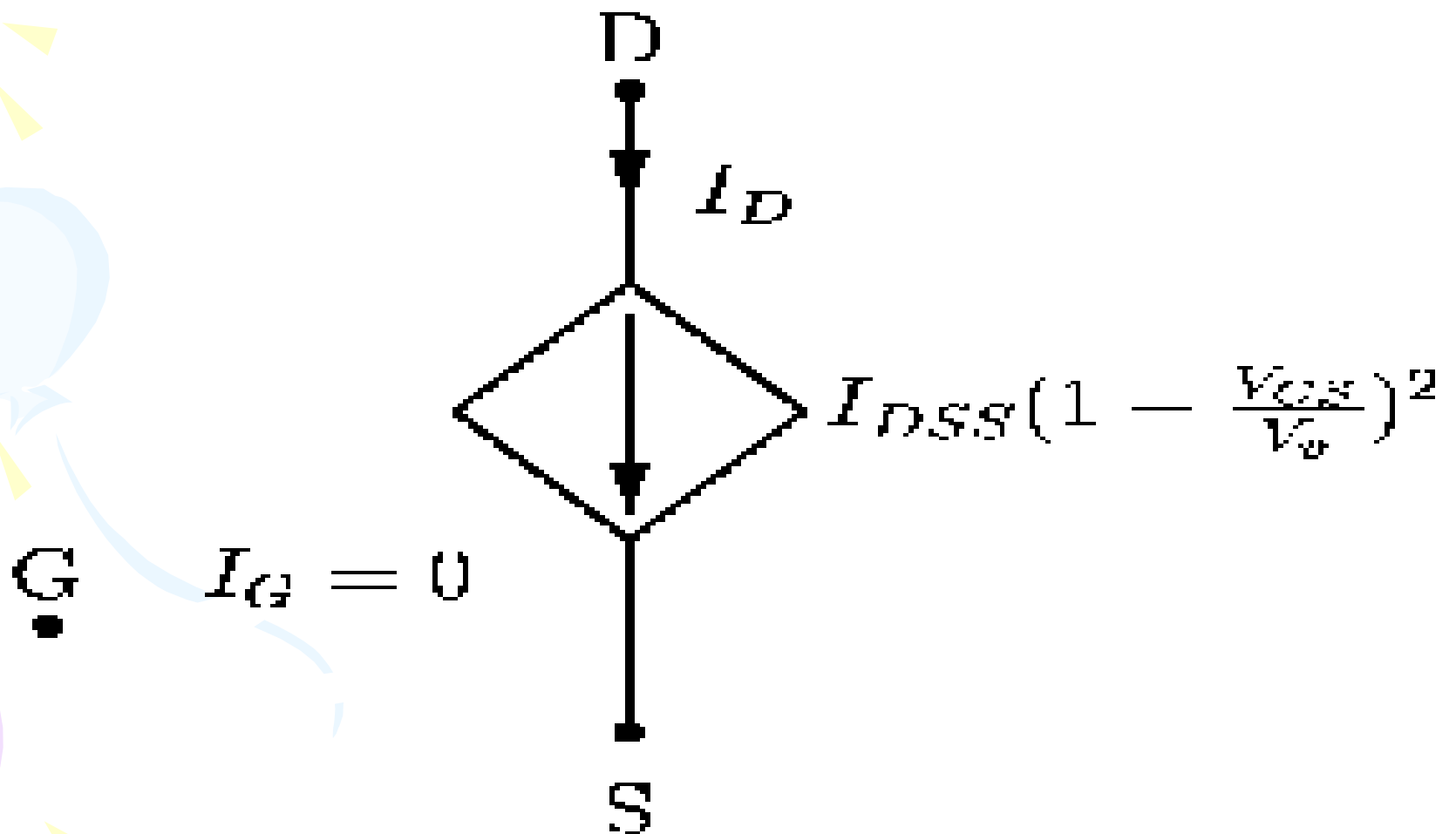
$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_{GSOFF}} \right)^2 \quad (2)$$

I_{DSS} dòng bão hoà cực đại (khi $V_{GS} = 0V$).

V_{GS} điện thế phân cực cổng - nền.

V_{GSOFF} (hoặc $-V_{P0}$) điện thế ngưỡng tùy thuộc vào JFET được sử dụng.

- Mô hình DC



III. Phân cực JFET

- Khi hoạt động trong vùng điện trở, JFET là 1 điện trở có trị thay đổi theo điện thế phân cực, trong vùng này V_{DS} rất bé.
- Khi hoạt động trong vùng điện trở kết hợp với vùng ngưng JFET hoạt động kiểu giao hoán (chuyển mạch).
- Khi hoạt động trong vùng bão hoà (hay vùng điện trở không đổi), JFET có tính khuếch đại.

Các cách hoạt động nói trên tùy thuộc vào điện thế phân cực V_{GS} và V_{DS} .

• 4. Đặc tính kỹ thuật- Trị số giới hạn

JFET có các trị số giới hạn sau:

- **Điện thế cực đại V_{DSmax}** , nếu vượt quá sẽ xảy ra hiện tượng hủy thác làm hư FET.
- **Dòng I_{Dmax}** không được vượt quá
- **Công suất cực đại P_{DM}** không được vượt quá
- **Vùng điện tích an toàn (SOA)** giới hạn bởi 3 vùng điện trở, vùng bão hoà, vùng ngưng, và 3 đường do 3 trị cực đại nêu trên. Muốn thiết kế mạch khuếch đại điểm tĩnh điều hành phải nằm trong vùng điện tích an toàn .

Phân cực Q trong vùng tác động

1. Mạch phân cực cố định

Do tổng trở vào rất lớn,
nên dòng $I_G = 0$ và :

$$V_{GS} = V_{GG} < 0 \quad (1)$$

Dòng thoát cho bởi:

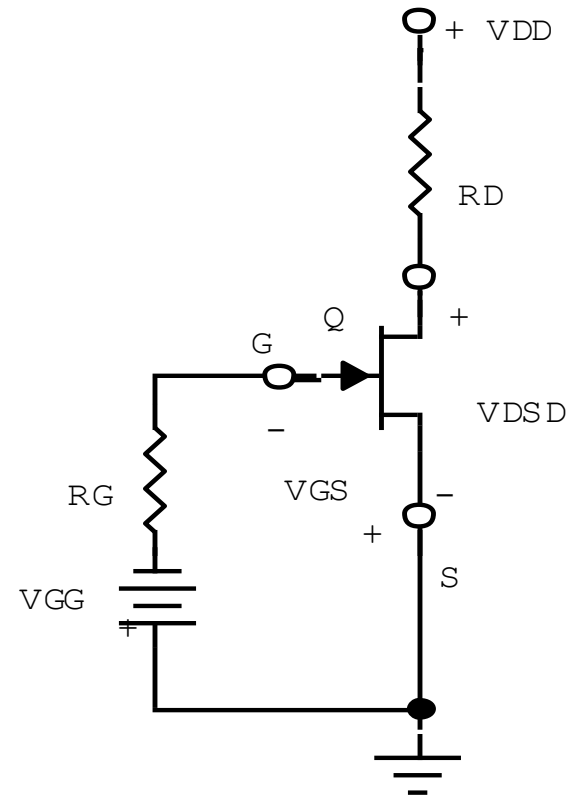
$$I_D = I_{DSS} \left(1 - \frac{V_{GG}}{V_{GSOFF}} \right)^2 \quad (2)$$

Điện thế V_{DS} cho bởi:

$$V_{DS} = V_{DD} - R_D I_D \quad (3)$$

Phương trình đường thẳng tải tĩnh:

$$I_D = (-V_{DS} + V_{DD}) / R_D \quad (4)$$



2. Mạch tự phân cực

Điện trở R_S và R_G giúp ta có $V_{GS} < 0$ dù không có cấp điện âm cho cực G.

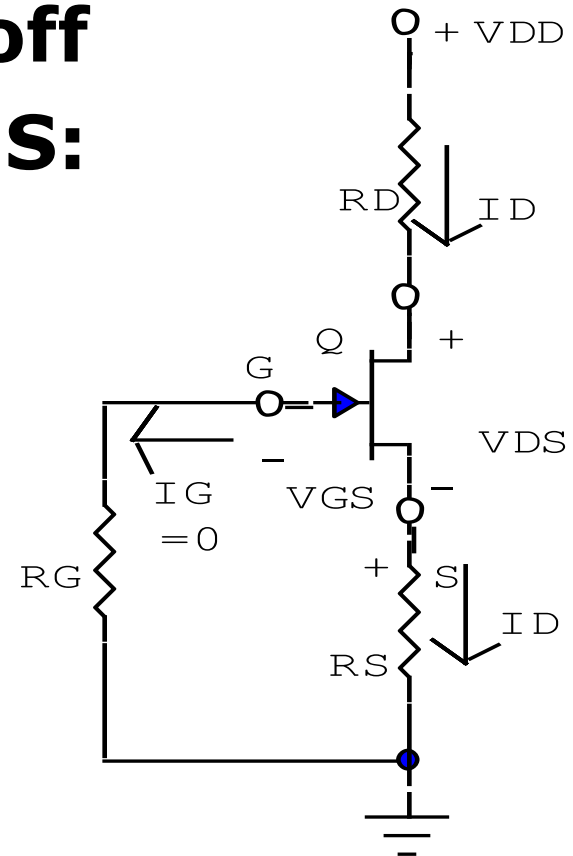
Áp dụng định luật Kirchhoff về thế cho vòng cực G và S:

$$R_G I_G + V_{GS} + R_S I_D = 0$$

$$V_{GS} = -R_S I_D < 0 \quad (1)$$

Dòng thoát cho bởi (2) như trên:

$$I_D = I_{DSS} \left(1 - \frac{-R_S I_D}{V_{GS OFF}} \right)^2 \quad (2)$$



- Áp dụng định luật Kirchhoff về thể vòng cực D-S cho:

$$V_{DD} = R_D I_D + V_{DS} + R_S I_D$$

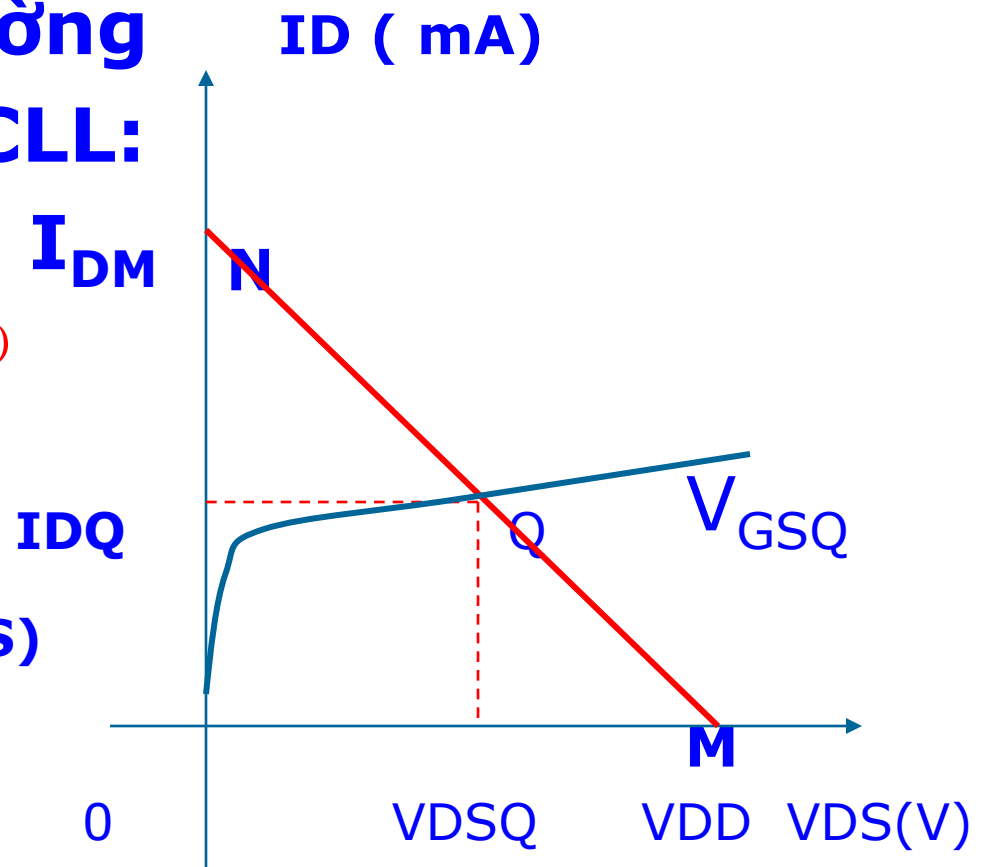
$$V_{DS} = V_{DD} - (R_D + R_S) I_D \quad (3)$$

Phương trình đường thẳng tải tĩnh DCCL:

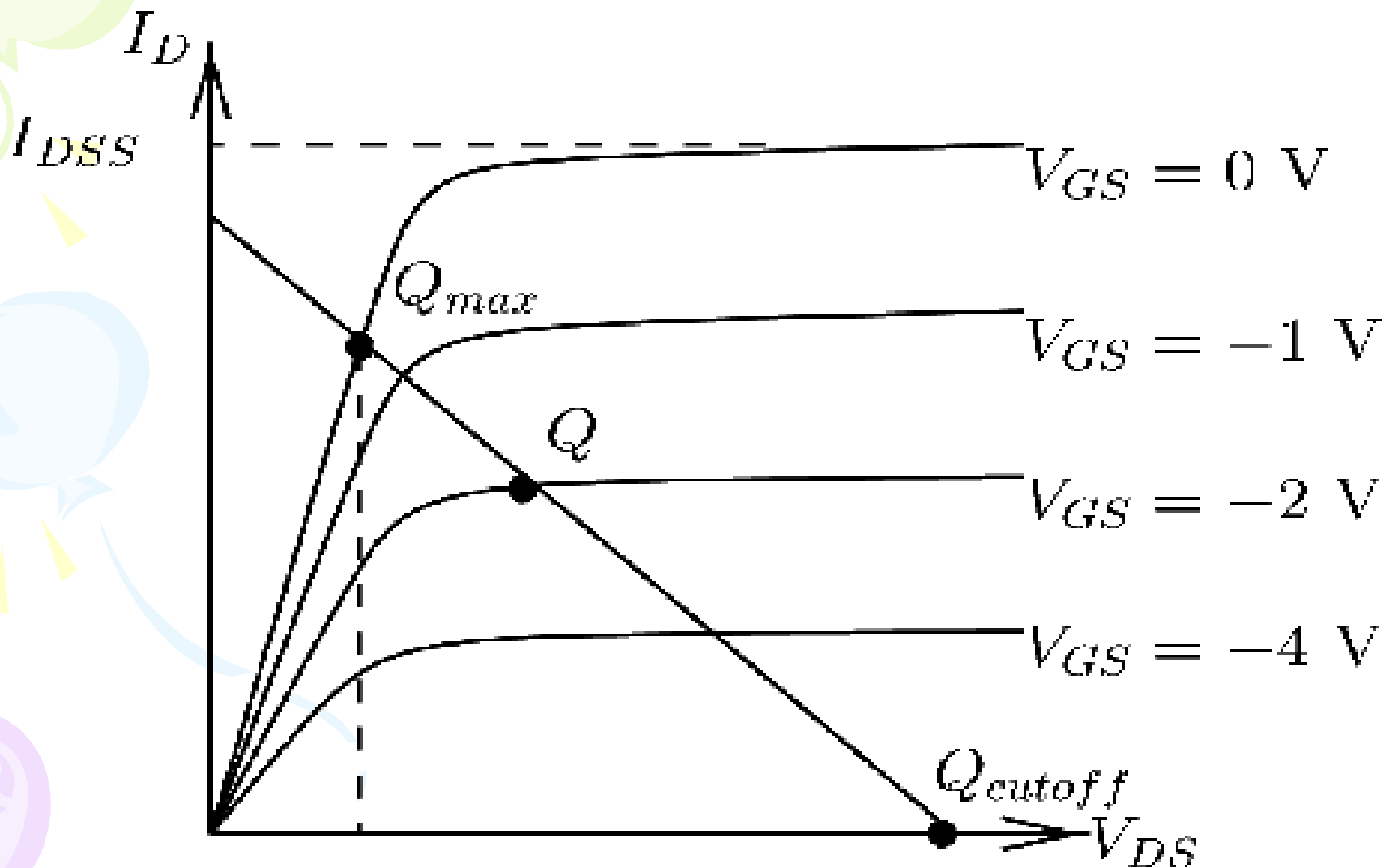
$$I_D = \frac{-V_{DS}}{R_D + R_S} + \frac{V_{DD}}{R_D + R_S} \quad (4)$$

$$I_{DM} = V_{DD} / (R_D + R_S)$$

$$V_{DSM} = V_{DD}$$



- Vai trò đường tải tĩnh



3. Phân cực bằng cầu phân thế

Với điều kiện phải chọn R_s để có $V_{GS} < 0$ (kênh n) hoặc $V_{GS} > 0$ (kênh p).

- Ta có mạch G-S:

$$V_G = \frac{R_2}{R_2 + R_1} V_{DD}$$

$$V_S = R_S I_D$$

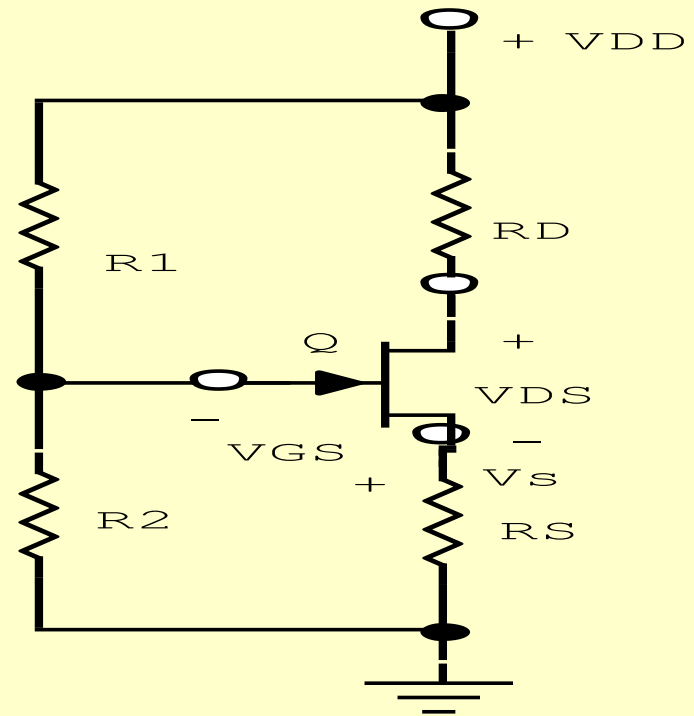
$$V_{GS} = V_G - V_S < 0 \quad (2)$$

Mạch D-S cho dòng I_D ở (2) và V_{DS} cho bởi:

$$V_{DS} = V_{DD} - (R_D + R_S) I_D \quad (3)$$

- Đường tải tĩnh:

$$I_D = \frac{-V_{DS}}{R_D + R_S} + \frac{V_{DD}}{R_D + R_S} \quad (4)$$



• IV. Transistor trường có cổng cách điện hay MOSFET.

MOSFET có 2 loại :

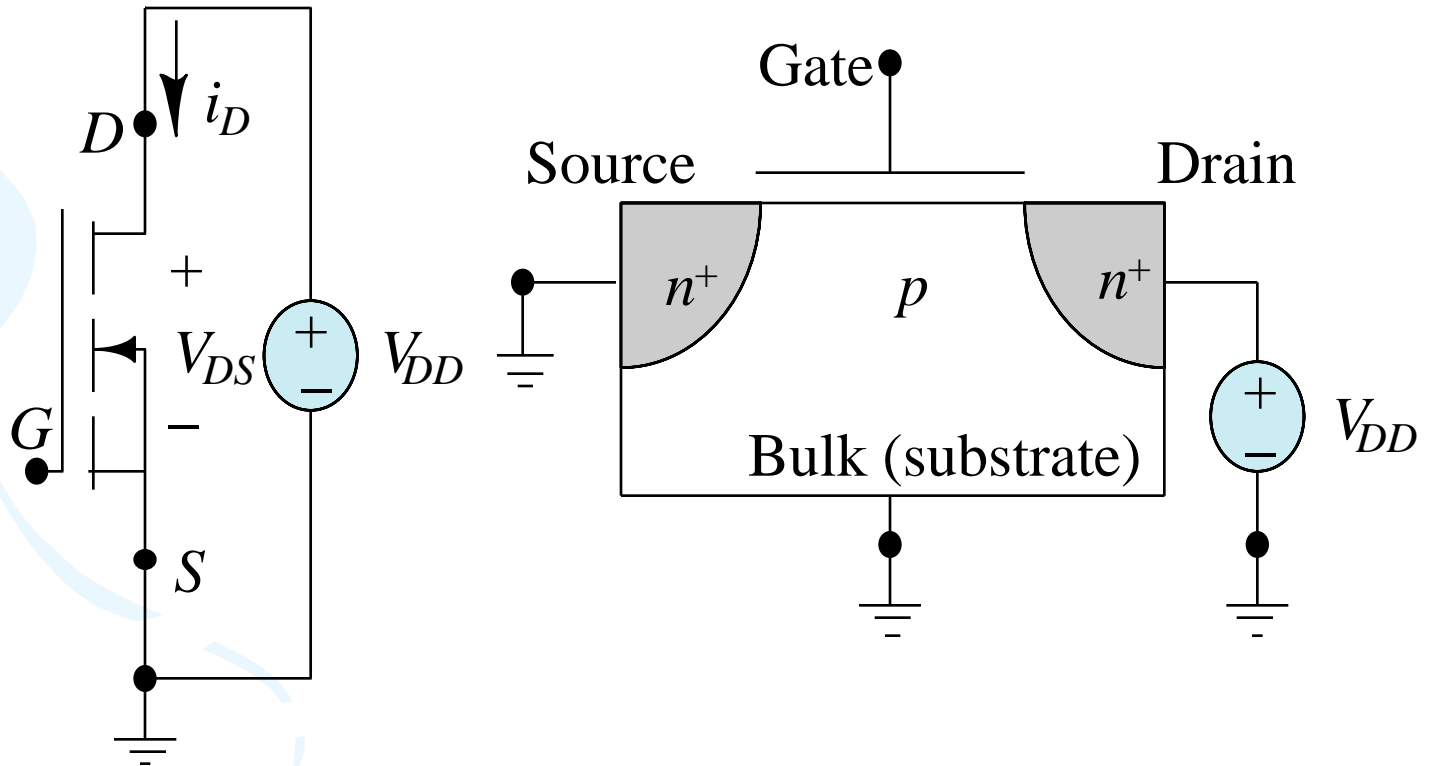
- MOSFET loại tăng (viết tắt EMOSFET – Enhancement MOSFET).
- MOSFET loại hiếm (viết tắt DMOSFET- Depletion MOSFET).

A. MOSFET loại tăng (giàu)

1. Cấu tạo

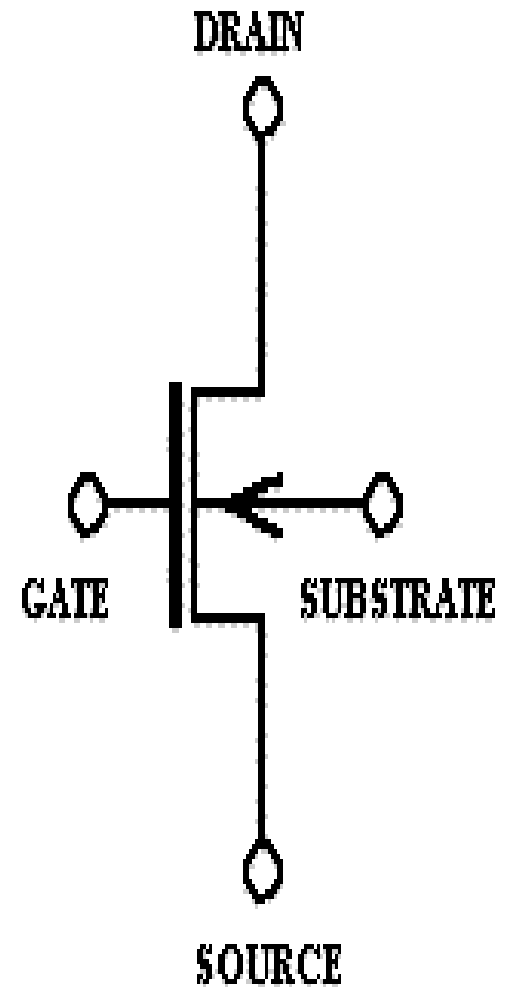
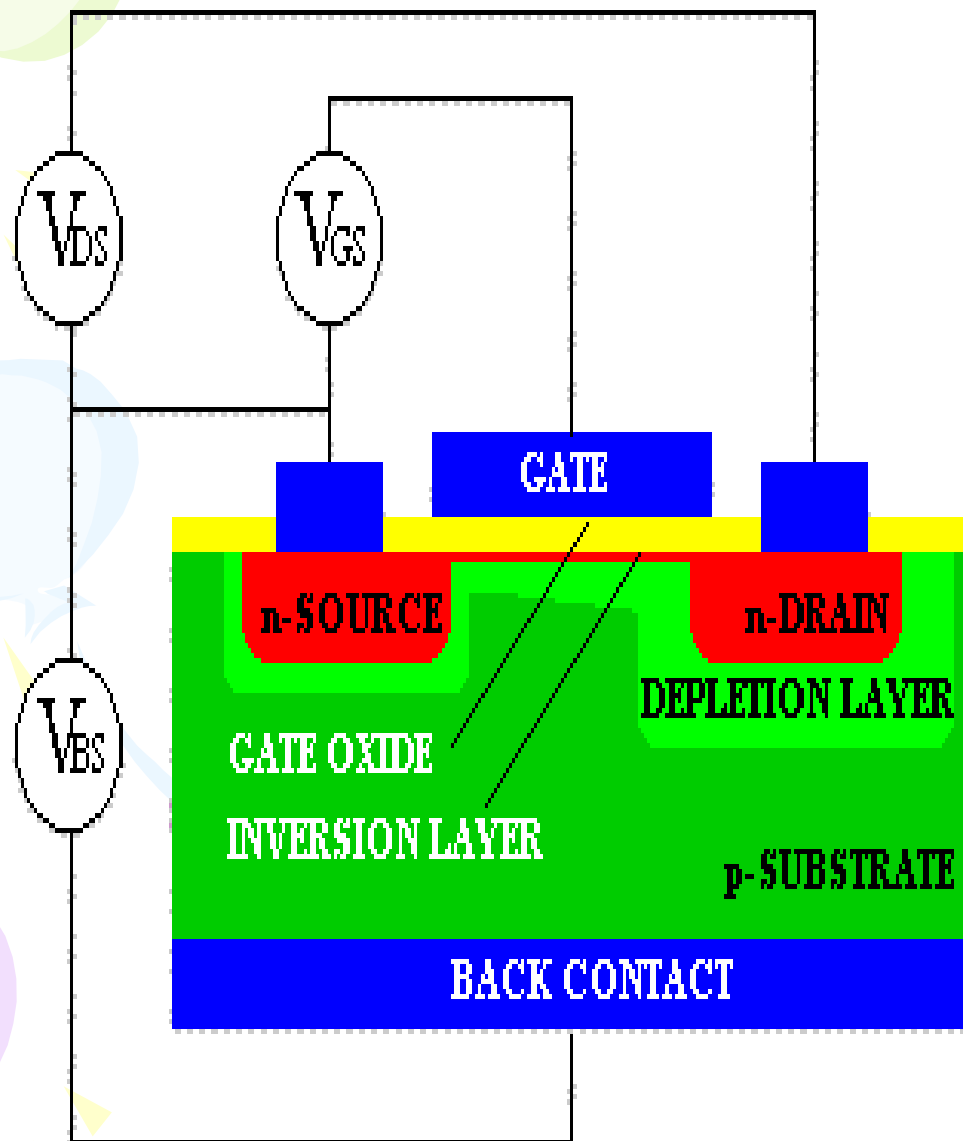
Dùng quang khắc để tạo nên lớp cách điện ở cổng G (h.8):

MOSFET is normally on in the absence of an external electric field



- **Transistor EMOSFET** được thực hiện trên 1 giá (nền , thân) Si loại p. Và trên nền nói trên 2 vùng pha đậm n+ được khuếch tán tạo nên cực nguồn S và cực thoát D.
- **Một lớp cách điện (SiO_2) đặt dưới cực cổng G, nên điện trở ngõ vào (cực G) rất lớn có thể đến vài chục – vài trăm Gohm.**
- **Do cấu trúc như trên nên FET này có tên MOSFET (MOS–Metal–Oxide–Semiconductor)**
- **Do giữa 2 cực S và D thành lập vùng hiếm lớn, nên MOSFET không dẫn điện khi chưa được phân cực .**

- N-DMOSFET



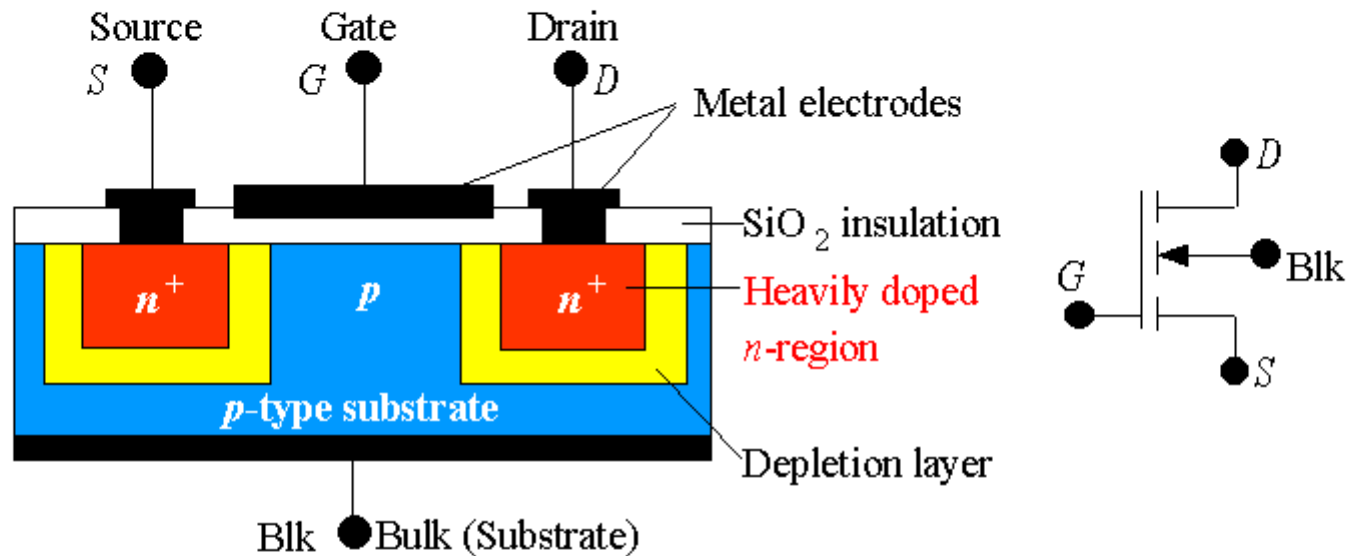
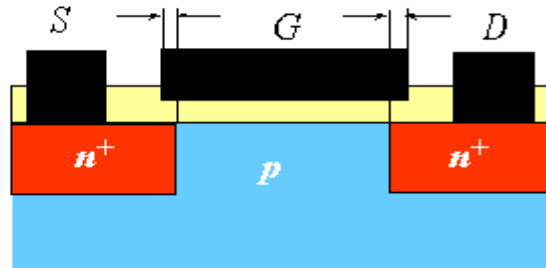


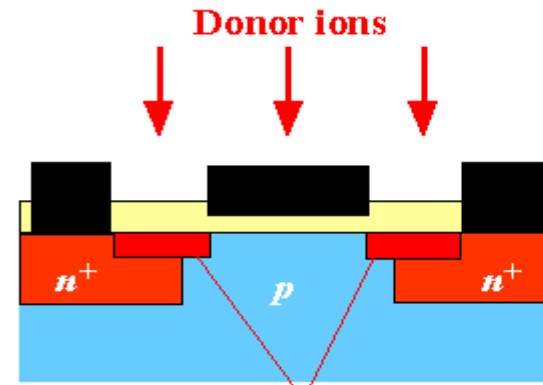
Fig. 6.36: The basic structure of the enhancement MOSFET and its circuit symbol.

From *Principles of Electronic Materials and Devices, Second Edition*, S.O. Kasap (© McGraw-Hill, 2002)
<http://Materials.Usask.ca>

Gate overlaps the drain and source



(a)



(b)

Fig. 6.41: (a) There is an overlap of the gate electrode with the source and drain regions and hence additional capacitance between the gate and drain. (b) n^+ type ion implantation extends the drain and source to line-up with the gate.

- MOSFET dẫn điện nhưng do điện trường còn nhỏ nên dòng I_D vào khoảng vài μA .
- Khi $V_{GS} > 0$ càng lớn, số điện tử tự do (hạt tải đa số) trong kênh cảm ứng càng tăng làm dòng thoát I_D càng tăng.
 - Nếu giữ V_{GS} đủ lớn như trên và làm thay đổi V_{DS} (bằng cách thay đổi V_{DD}):
 - Lúc V_{DS} còn nhỏ dòng I_D tăng rất nhanh
 - Lúc V_{DS} tăng đủ lớn, do vùng thoát phân cực nghịch , vùng hiếm lan rộng làm hẹp và bị nghẽn tại cuối kênh , dòng thoát I_D đạt trị số bão hoà (có trị lớn nhất và không đổi) V_{DSbh} .

2. Cách hoạt động

E-MOSFET kênh n còn gọi là NMOS loại tăng trước tiên được phân cực với $V_{DS} > 0$ nhỏ và giữ không đổi ,cho V_{GS} thay đổi:

- Khi $V_{GS} < 0$, dưới cổng (dưới lớp oxid) chỉ có lớp điện tích dương (do cảm ứng) nên $I_D = 0$, MOSFET không dẫn.
- Khi $V_{GS} > 0$ nhưng vẫn $V_{GS} < V_{TH}$ MOSFET vẫn ngưng dẫn.
- Khi $V_{GS} > V_{TH}$ số điện tích âm dưới cực cổng đủ hình thành kênh n từ cực S sang cực D, nhờ đó các điện tử tự do dễ dàng di chuyển từ S sang D dưới tác động của điện trường ngoài (cực D có V_{DD} rất lớn).

- Sau đó, nếu tiếp tục gia tăng $V_{DS} > V_{DSbh}$ vùng hiếm phía cực D càng rộng làm điểm nghẽn di chuyển về phía cực nguồn S nên dòng I_D vẫn giữ trị không đổi (bão hoà) (H.9) .

Chú ý

- (1). Do EMOSFET dẫn điện chỉ bằng các hạt tải đa số nên còn gọi là linh kiện hạt tải đa số hay transistor đơn cực (đơn hướng).
- (2). Việc điều khiển các hạt tải đa số bằng điện trường nên EMOSFET còn được gọi là linh kiện điều khiển bằng điện trường.
- (3). Với các EMOSFET kênh p thì lý luận tương tự nhưng với kênh cảm ứng là các lỗ trống , cực S và cực D là các lỗ trống cho sẵn (xem giáo trình).

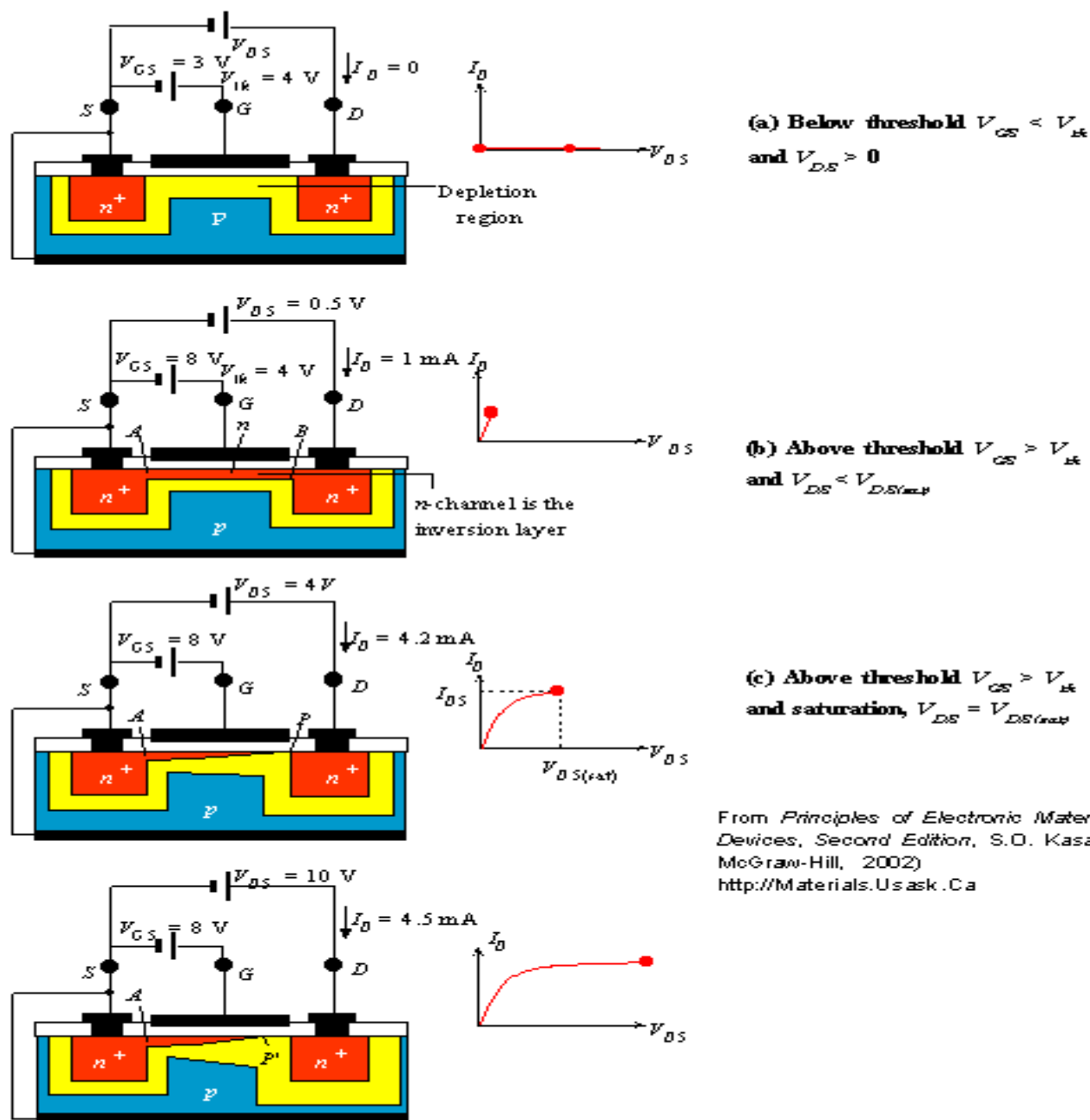


Fig. 6.37: The MOSFET I_D vs V_{DS} characteristics

3. Đặc tuyến và phương trình dòng I_D

1. Đặc tuyến ra $I_D = f(V_{DS})$ tại $V_{GS} = \text{hs.}$

2. Đặc tuyến truyền $I_D = f(V_{GS})$ tại $V_{DS} = \text{hs.}$

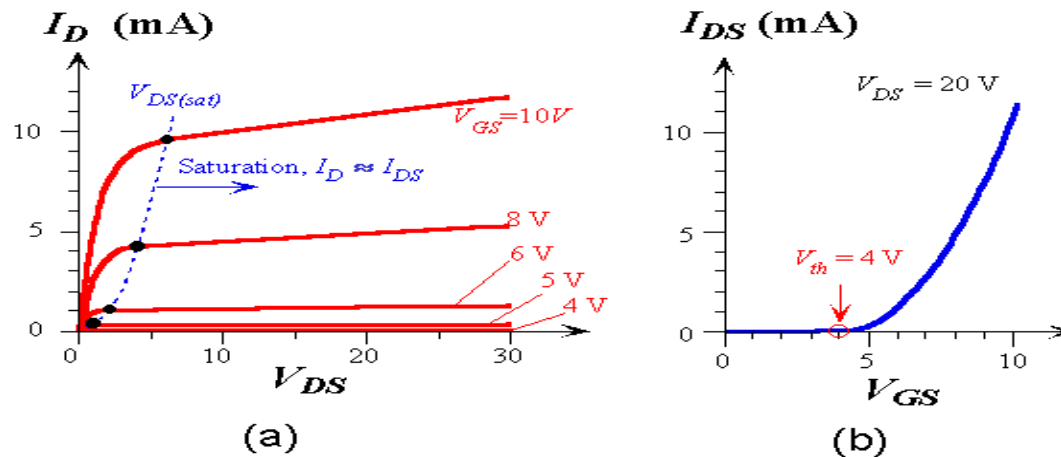


Fig. 6.38: (a) Typical I_D vs V_{DS} characteristics of an enhancement MOSFET ($V_{th} = 4$ V) for various fixed gate voltages V_{GS} . (b) Dependence of I_D on V_{GS} at a given V_{DS} ($> V_{DS(sat)}$).

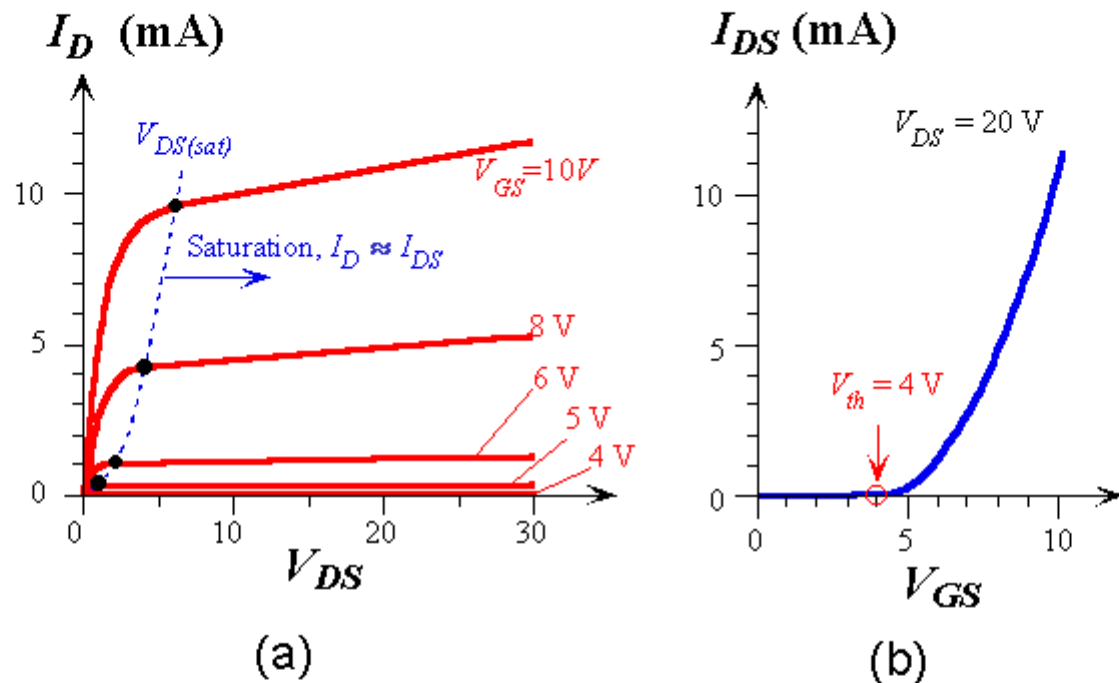
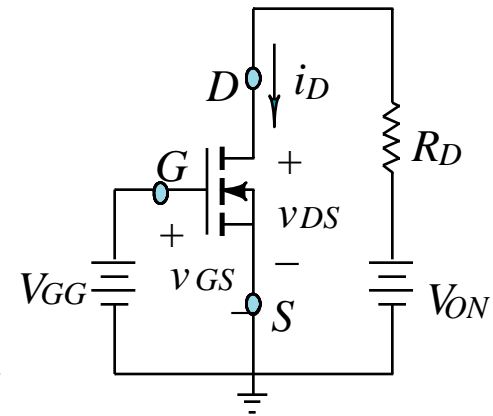
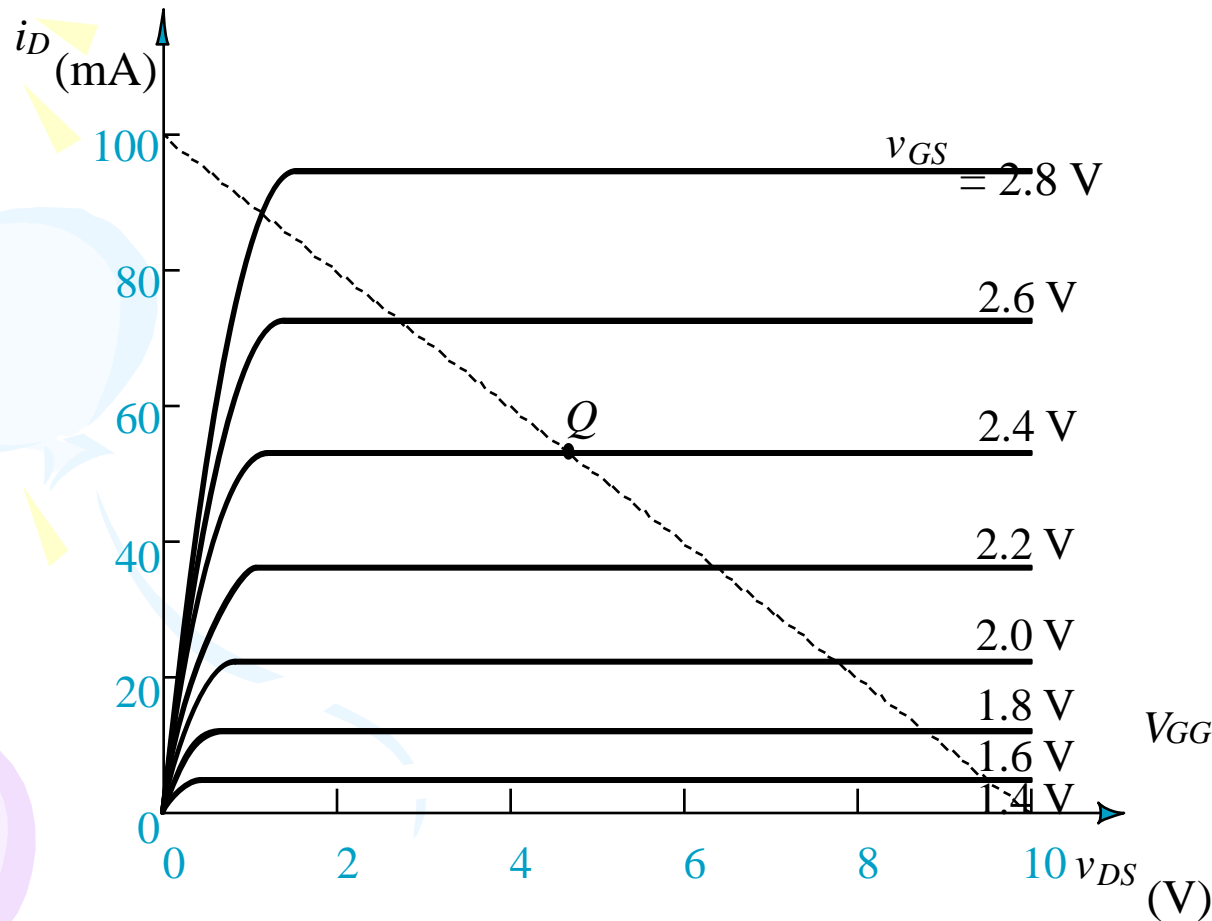


Fig. 6.38: (a) Typical I_D vs V_{DS} characteristics of an enhancement MOSFET ($V_{th} = 4$ V) for various fixed gate voltages V_{GS} . (b) Dependence of I_D on V_{GS} at a given V_{DS} ($> V_{DS(sat)}$).

enhancement MOSFET circuit and drain characteristic for Example 9.8



• 3. Biểu thức điện thế và dòng điện

a. Biểu thức điện thế

Dựa vào lý thuyết và đặc tuyến, quỹ tích các điểm có V_{DSbh} cho bởi:

$$V_{DSbh} = V_{GS} - V_{TH} \quad (1).$$

b. Biểu thức dòng điện thoát I_D .

- Trong vùng điện trở : $V_{GS} < V_{TH}$ hay $V_{DS} < V_{GS} - V_{TH}$ ta có :

$$I_D = k[2(V_{GS} - V_{TH}) V_{DS} - (V_{DS})^2] \quad (2)$$

- **Trong vùng bão hoà** : $V_{GS} > V_{TH}$ hay $V_{DS} > V_{GS} - V_{TH}$ ta có :

$$I_D = k(V_{GS} - V_{TH})^2 \quad (3)$$

k hằng số tùy thuộc linh kiện .

Table 5.1 Summary of the MOSFET current–voltage relationships

NMOS

Nonsaturation region ($v_{DS} < v_{DS}(\text{sat})$)

$$i_D = K_n[2(v_{GS} - V_{TN})v_{DS} - v_{DS}^2]$$

Saturation region ($v_{DS} > v_{DS}(\text{sat})$)

$$i_D = K_n(v_{GS} - V_{TN})^2$$

Transition point

$$v_{DS}(\text{sat}) = v_{GS} - V_{TN}$$

Enhancement mode

$$V_{TN} > 0$$

Depletion mode

$$V_{TN} < 0$$

PMOS

Nonsaturation region ($v_{SD} < v_{SD}(\text{sat})$)

$$i_D = K_p[2(v_{SG} + V_{TP})v_{SD} - v_{SD}^2]$$

Saturation region ($v_{SD} > v_{SD}(\text{sat})$)

$$i_D = K_p(v_{SG} + V_{TP})^2$$

Transition point

$$v_{SD}(\text{sat}) = v_{SG} + V_{TP}$$

Enhancement mode

$$V_{TP} < 0$$

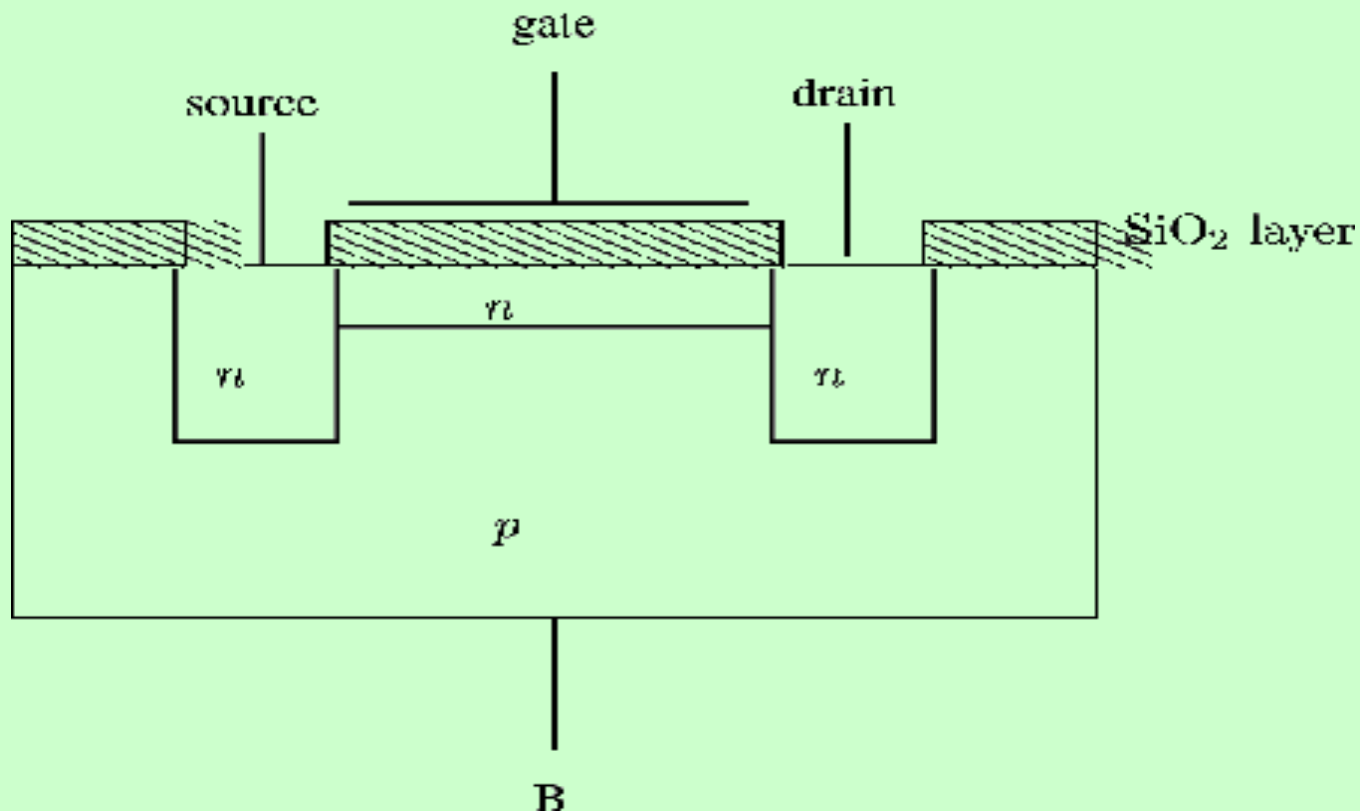
Depletion mode

$$V_{TP} > 0$$

B. MOSFET loại hiếm (nghèo)

1. Cấu tạo

Tương tự như EMOSFET nhưng có tạo kênh n pha lợt giữa cực S và cực D (H.10)



2. Cách hoạt động

- Khi cho $V_{GS} = 0V$ và thay đổi V_{DS}

- Lý luận tương tự như EMOSFET, nhưng vì DMOSFET có kênh cho sẵn nên khi cho V_{DS} nhỏ và ngay cả khi $V_{GS} = 0V$ các điện tử tự do dễ dàng di chuyển từ S đến D qua kênh n có sẵn, MOSFET dẫn.
- Khi V_{DS} tăng đến trị số lớn nhất định nào đó thì vùng hiếm ở cực D sẽ lan rộng làm nghẽn kênh cho sẵn \rightarrow dòng I_D tăng đến trị bão hoà $IDSS$, và điện thế thoát nguồn được gọi là điện thế nghẽn V_p như ở JFET.

Ta xét 2 cụ thể trường hợp sau:

- **Khi $V_{GS} < 0$**

Do có điện tích dương xuất hiện trong kênh n cho sẵn nên các điện tử tự do bị giảm bớt (bị trung hoà với điện tích dương) làm kênh bị nghẽn đi nên dòng, I_D yếu hơn. Và khi tăng V_{DS} lên kênh bị nghẽn sớm hơn $V_{DSbh} = V_p < V_{po}$.

Khi V_{GS} càng âm thì dòng I_D và V_p càng giảm hơn

Khi V_{GS} âm đến trị số nhất định V_{GSOFF} , số điện tích dương xuất hiện dưới cực S càng nhiều làm trung hoà hết các điện tử tự do và chiếm hết kênh nên không còn dòng thoát ($I_D = 0$), DMOSFET ngưng như ở JFET → DMOSFET hoạt động theo kiểu hiếm

- **Khi cho $V_{GS} > 0$**

Do số điện tử cảm ứng trong kênh bây giờ là các điện tử tự do nên dòng thoát càng tăng lên. Và khi tăng V_{DS} lên, do vùng hiềm ở cực D lan rộng ra nên kênh bị nghẽn cho dòng thoát bão hoà lớn hơn dòng I_{DSS} khi $V_{GS} = 0V$.

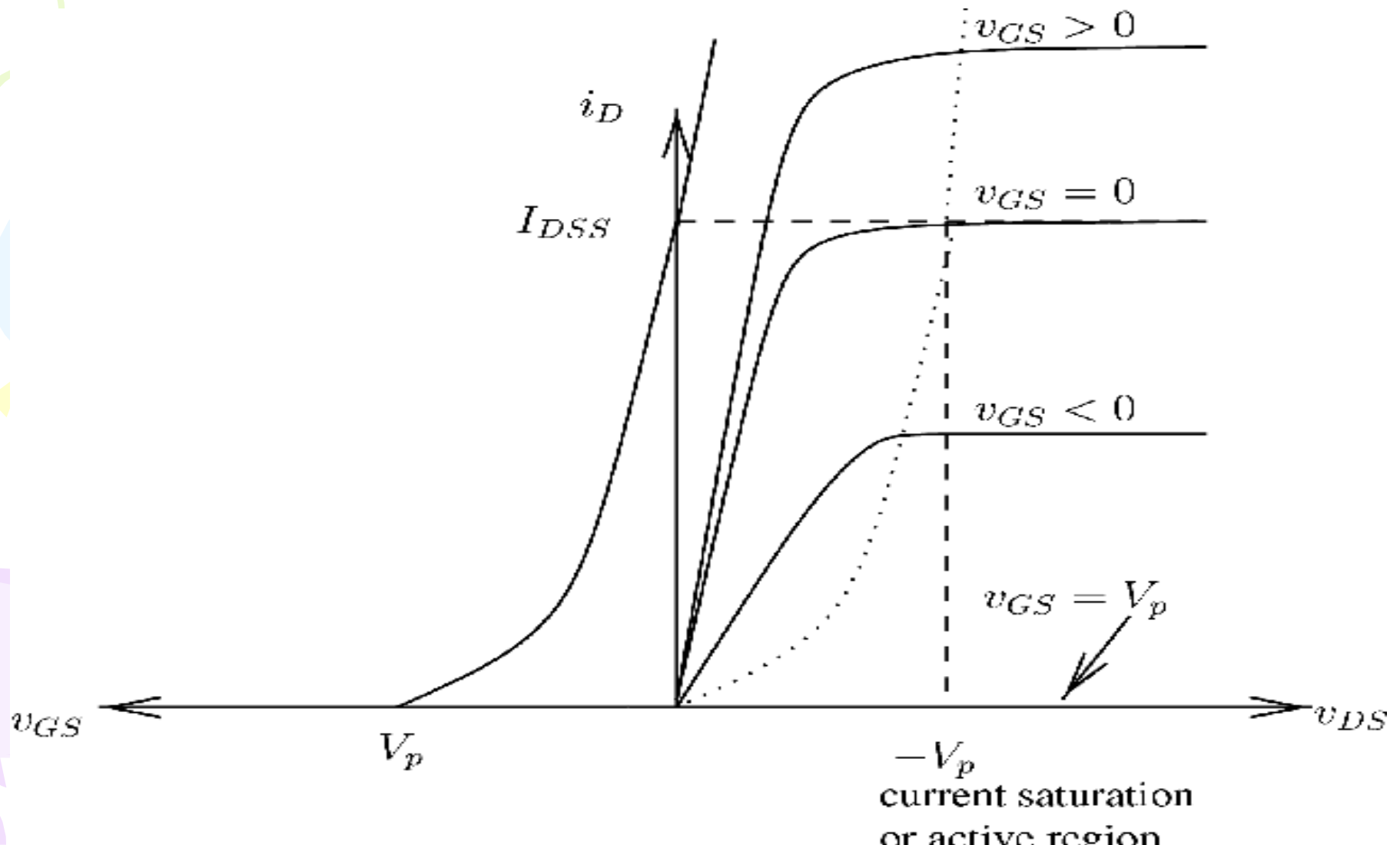
Khi V_{GS} càng dương dòng thoát I_D càng tăng lớn hơn \rightarrow DMOSFET hoạt động theo **kiểu tăng**. Nhưng tránh sử dụng khi có I_D quá lớn sẽ làm hỏng linh kiện.

Tóm lại: DMOSFET có 2 kiểu hoạt động kiểu tăng và kiểu hiềm tùy theo cách phân cực. Ở mỗi kiểu hoạt động ta áp dụng các công thức tương ứng.

3. Đặc tuyến của DMOSFET

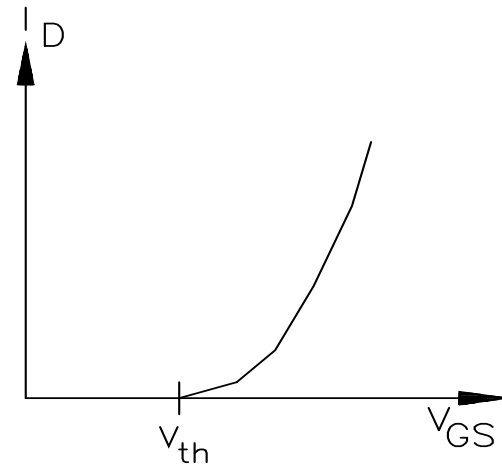
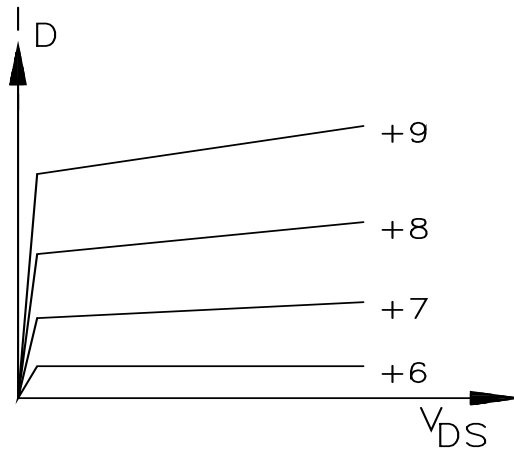
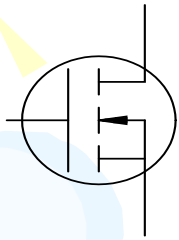
a. Đặc tuyến ra $I_D = f(V_{DS})$

b. Đặc tuyến truyền $I_D = f(V_{GS})$



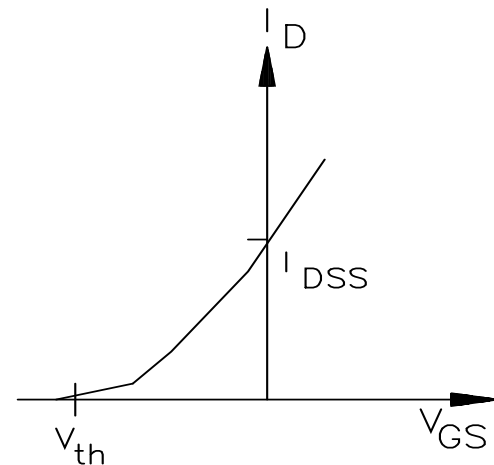
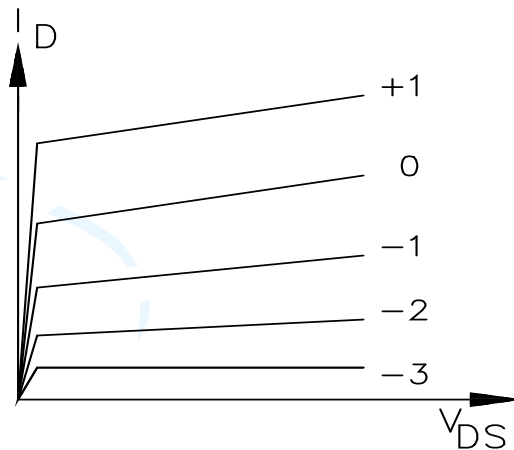
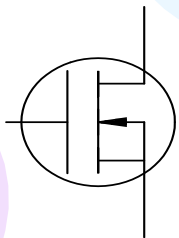
So sánh đặc tuyến của EMOSFET và DMOSFET kênh n

n-channel enhancement



V_{DS}	+
V_{GS}	+
I_D	+
V_{th}	+
I_{DSS}	0

n-channel depletion



V_{DS}	+
V_{GS}	-(+)
I_D	+
V_{th}	-
I_{DSS}	0

4. Mạch phân cực MOSFET

- ✓ **DMOSFET (kênh n) hoạt động khi phân cực $V_{GS} < 0$ nên các mạch phân cực đều giống như mạch phân cực JFET , khi $V_{GS} > 0$ phân cực giống như EMOSFET.**
- ✓ **EMOSFET (kênh n) hoạt động khi $V_{GS} > V_{TH}$ dương, nên áp dụng cách phân cực :**
 - bằng cầu chia thế và
 - hồi tiếp thoát - cổng.

Dưới đây ta chỉ xét 2 cách phân cực nói trên, các cách khác xem lại ở JFET.

a. Phân cực bằng cầu chia thế và R_S

- **Xác định điểm tĩnh điều hành Q:**

$$V_G = \frac{R_2}{R_1 + R_2} V_{DD}$$

$$V_S = R_S I_D$$

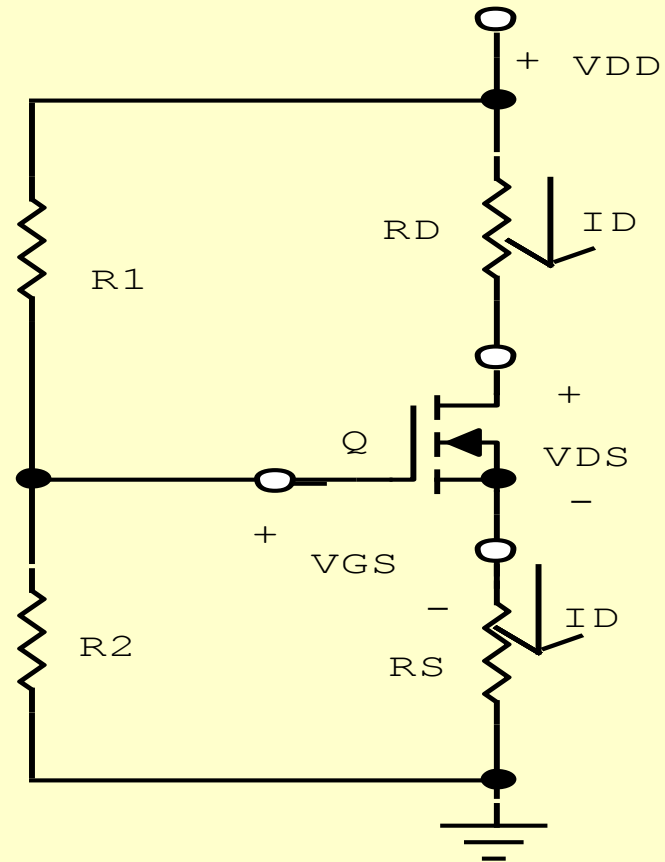
$$V_{GSQ} = V_G - V_S > 0 \quad 1$$

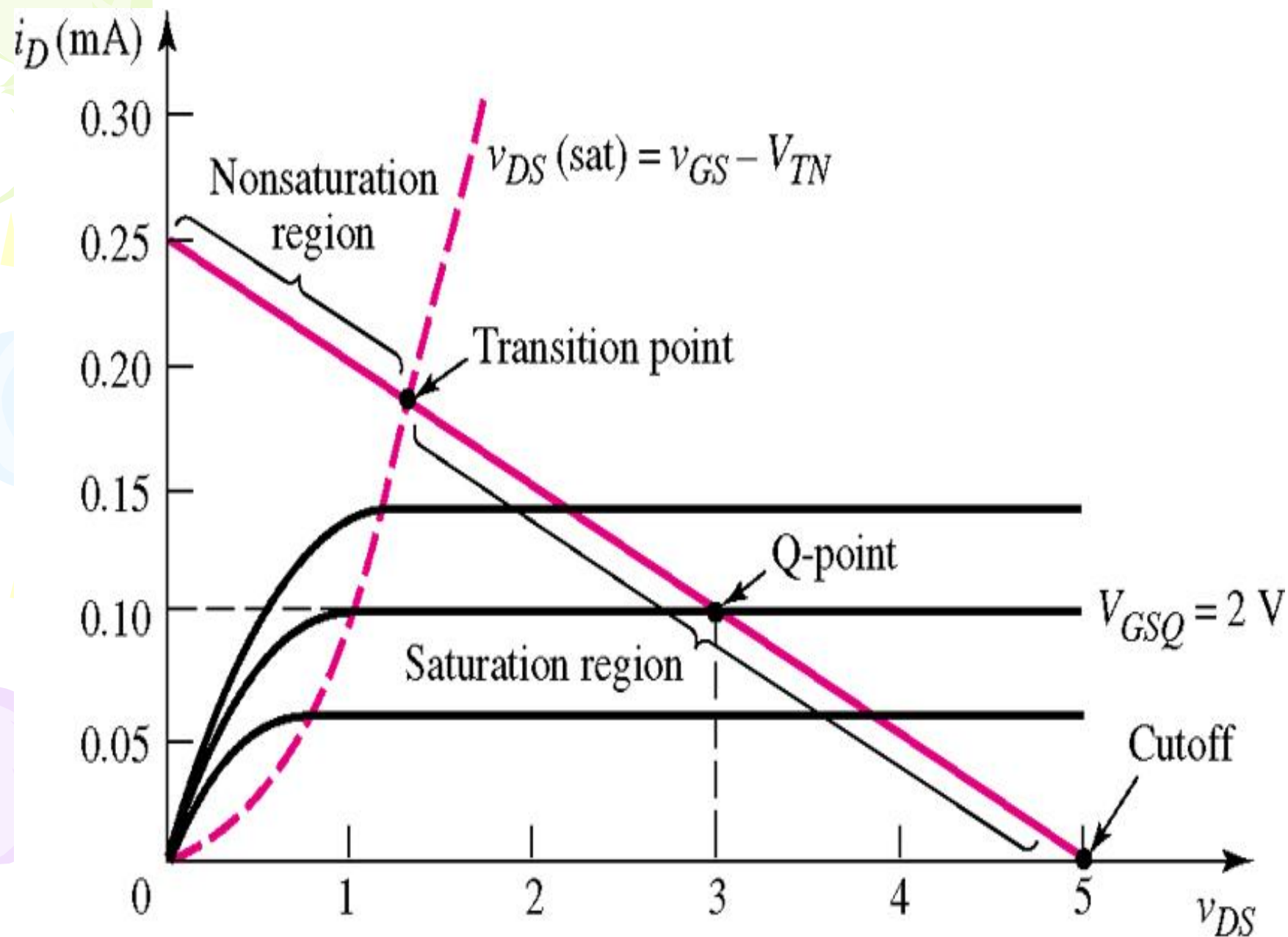
$$I_{DQ} = k (V_{GSQ} - V_{TH})^2 \quad 2$$

$$V_{DS} = V_{DD} - R_D I_D - R_S I_D \quad 3$$

- **Đường tải tĩnh:**

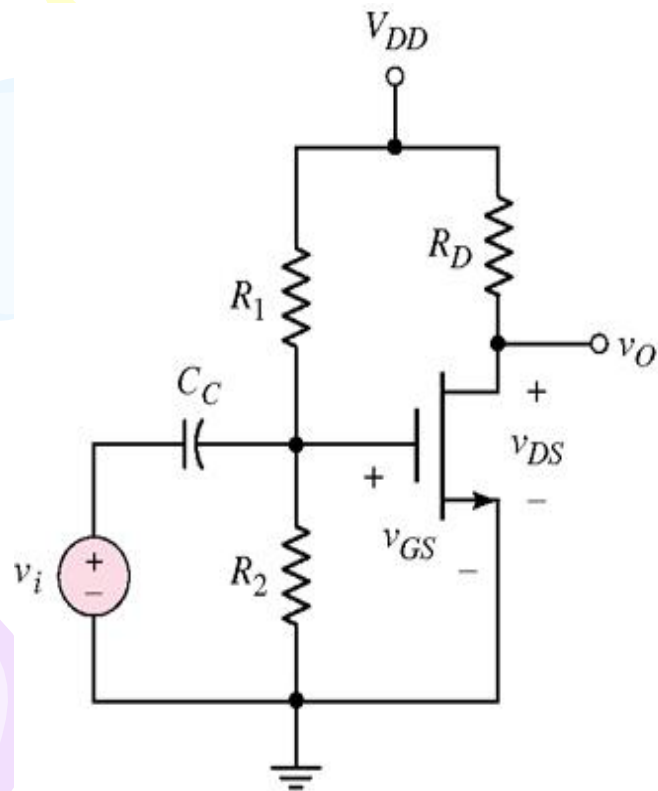
$$I_D = \frac{-V_{DS}}{R_D + R_S} + \frac{V_{DD}}{R_D + R_S} \quad 4$$



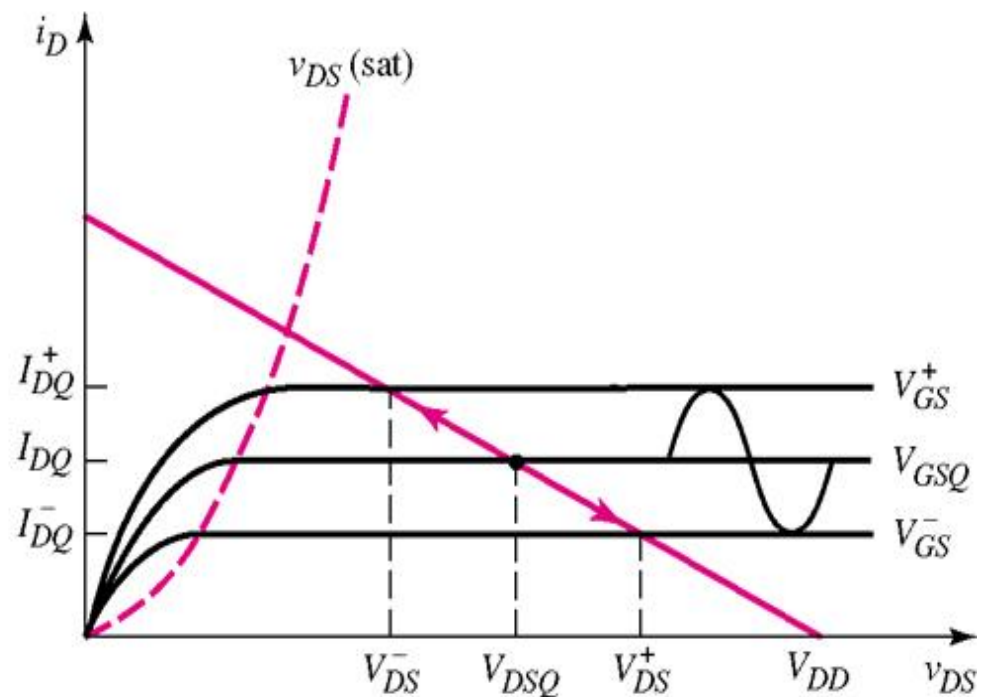


- Mạch có thể bỏ điện trở R_S vì FET ổn định đối với nhiệt độ

Các phép tính giống như trên nhưng cho $R_S = 0$



(a)



(b)

b. Phân cực bằng điện trở hồi tiếp R_G

- Xác định điểm tĩnh điều hành Q:

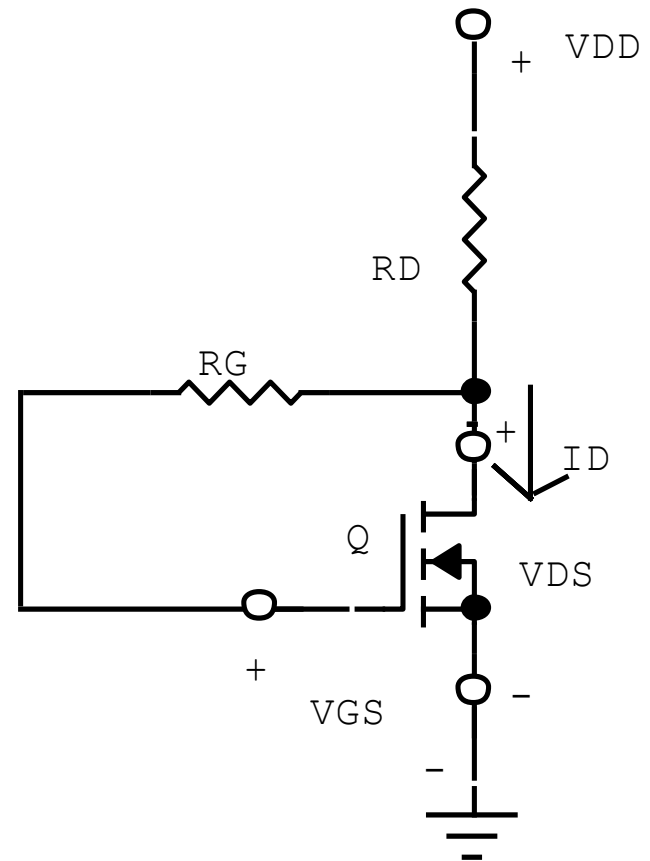
$$V_{GSQ} = V_{ds} > V_{TH} \quad 1$$

$$I_{DQ} = k (V_{GSQ} - V_{TH})^2 \quad 2$$

$$V_{DS} = V_{DD} - R_D I_D \quad 3$$

- Đường tải tĩnh:

$$I_D = \frac{-V_{DS}}{R_D} + \frac{V_{DD}}{R_D} \quad 4$$



Phân cực mạch khuếch đại theo SF-CD

- Cách tính giống như ở cách phân cực CS

